

Docket No.: 61282-037

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
:   
Masaya Sumita : Confirmation Number:  
:   
Serial No.: : Group Art Unit:  
:   
Filed: September 12, 2003 : Examiner:  
:   
For: MEMORY DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

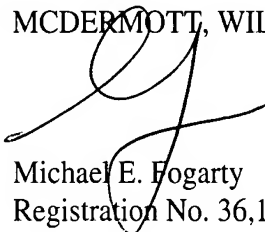
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2002-266901, filed September 12, 2002**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: September 12, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

61282-037  
Sumita  
September 12, '03  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月12日

出願番号

Application Number:

特願2002-266901

[ST.10/C]:

[JP2002-266901]

出願人

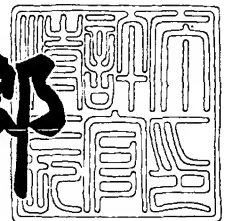
Applicant(s):

松下電器産業株式会社

2003年 1月31日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3002955

【書類名】 特許願

【整理番号】 5037740031

【提出日】 平成14年 9月12日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/41

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 炭田 昌哉

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 メモリセルに読み出し制御信号を伝える 1 つ以上の読み出し制御信号線と、前記読み出し制御信号線にそれぞれ対応し前記読み出し制御信号の活性化に応じて前記メモリセルの情報を外部に伝送する 1 つ以上の読み出し信号線と、前記メモリセルに書き込み制御信号を伝える 1 つ以上の書き込み制御信号線と、前記書き込み制御信号線にそれぞれ対応し前記書き込み制御信号の活性化に応じて外部の情報を前記メモリセルに伝送する 1 つ以上の書き込み信号線と、を備えるメモリ装置であって、

前記読み出し信号線と前記書き込み信号線とが交互に配置され、前記読み出し制御信号と前記書き込み制御信号とが同時に活性化されないように制御されることを特徴とするメモリ装置。

【請求項 2】 前記書き込み制御信号は、前記読み出し制御信号の活性化に応じて前記メモリセルの情報が外部に伝送されたことを検知した後に活性化することを特徴とする請求項 1 記載のメモリ装置。

【請求項 3】 前記読み出し制御信号は、前記読み出し制御信号の活性化に応じて前記メモリセルの情報が外部に伝送されたことを検知した後に不活性化することを特徴とする請求項 1 または 2 記載のメモリ装置。

【請求項 4】 前記メモリセルを構成する半導体素子と同一形状の半導体素子を用いて構成され、かつ前記読み出し制御信号線および前記読み出し信号線とそれぞれ同一負荷特性を有するダミー読み出し制御信号線およびダミー読み出し信号線を備えて回路構成されたダミーメモリセルを備え、前記ダミーメモリセルは前記ダミー読み出し制御信号線に与えた前記読み出し制御信号の活性化に応じて固定記憶値をダミー読み出し信号線に出力し、前記メモリセルの情報が外部に伝送されたことの検知は、前記ダミー読み出し信号線における前記固定記憶値の検知によることを特徴とする請求項 2 または 3 記載のメモリ装置。

【請求項 5】 前記メモリセルを構成する半導体素子と同一形状の半導体素子を用いて構成され、かつ前記書き込み制御信号線と同一負荷特性を有し前記読

み出し制御信号が与えられる第1のダミー書き込み制御信号線と、前記書き込み制御信号線と同一負荷特性を有し前記書き込み制御信号が与えられる第2のダミー書き込み制御信号線と、前記書き込み信号線と同一負荷特性を有しダミー書き込み値が与えられるダミー書き込み信号線と、前記読み出し信号線と同一負荷特性を有するダミー書き込み検知信号線と、を備えて回路構成されたダミーメモリセルを備え、前記読み出し制御信号の活性化に応じて前記ダミー書き込み値を前記ダミーメモリセルに書き込み、前記ダミーメモリセルに書き込まれた前記ダミー書き込み値が前記ダミー書き込み検知信号線に出力されたことを検知すると前記ダミー書き込み値を反転させ、前記書き込み制御信号の活性化に応じて前記反転されたダミー書き込み値を前記ダミーメモリセルに書き込むことを特徴とする請求項4記載のメモリ装置。

【請求項6】 前記ダミーメモリセルに書き込まれた前記ダミー書き込み値が前記ダミー書き込み検知信号線に出力されたことを検知した後に前記書き込み制御信号を不活性化することを特徴とする請求項5記載のメモリ装置。

【請求項7】 クロック信号に同期して前記ダミー書き込み値を与えた後に前記読み出し制御信号を活性化することにより、前記ダミー書き込み値の前記ダミーメモリセルへの書き込み、前記ダミーメモリセルからの固定記憶値の読み出し、前記読み出し制御信号の不活性化、前記書き込み制御信号の活性化、前記ダミーメモリセルに書き込まれた前記ダミー書き込み値の出力の検知による前記ダミー書き込み値の反転、前記反転されたダミー書き込み値の前記ダミーメモリセルへの書き込み、前記書き込み制御信号の不活性化、からなる一連の動作を繰り返すことを特徴とする請求項6記載のメモリ装置。

【請求項8】 前記読み出し制御信号は、前記書き込み制御信号の活性化に応じて外部の情報が前記メモリセルに伝送されたことを検知した後に活性化することを特徴とする請求項1記載のメモリ装置。

【請求項9】 前記書き込み制御信号は、前記書き込み制御信号の活性化に応じて外部の情報が前記メモリセルに伝送されたことを検知した後に不活性化することを特徴とする請求項1または2記載のメモリ装置。

【請求項10】 前記メモリセルを構成する半導体素子と同一形状の半導体

素子を用いて構成され、かつ前記書き込み制御信号線と同一負荷特性を有し前記読み出し制御信号が与えられる第1のダミー書き込み制御信号線と、前記書き込み制御信号線と同一負荷特性を有し前記書き込み制御信号が与えられる第2のダミー書き込み制御信号線と、前記書き込み信号線と同一負荷特性を有しダミー書き込み値が与えられるダミー書き込み信号線と、前記読み出し信号線と同一負荷特性を有するダミー書き込み検知信号線と、を備えて回路構成されたダミーメモリセルを備え、前記書き込み制御信号の活性化に応じて前記ダミー書き込み値を前記ダミーメモリセルに書き込み、前記外部の情報が前記メモリセルに伝送されたことの検知は、前記ダミーメモリセルに書き込まれた前記ダミー書き込み値が前記ダミー書き込み検知信号線に出力されたことの検知によることを特徴とする請求項8または9記載のメモリ装置。

【請求項11】 前記ダミーメモリセルに書き込まれた前記ダミー書き込み値が前記ダミー書き込み検知信号線に出力されたことの検知により、前記ダミー書き込み値を反転させ、前記読み出し制御信号の活性化に応じて前記反転されたダミー書き込み値を前記ダミーメモリセルに書き込むことを特徴とする請求項10記載のメモリ装置。

【請求項12】 前記メモリセルを構成する半導体素子と同一形状の半導体素子を用いて構成され、かつ前記読み出し制御信号線および前記読み出し信号線とそれぞれ同一負荷特性を有するダミー読み出し制御信号線およびダミー読み出し信号線を備えて回路構成されたダミーメモリセルを備え、前記ダミーメモリセルは前記ダミー読み出し制御信号線に与えた前記読み出し制御信号の活性化に応じて固定記憶値をダミー読み出し信号線に出力し、前記ダミー読み出し信号線における前記固定記憶値の検知により前記読み出し制御信号を不活性化することを特徴とする請求項10または11記載のメモリ装置。

【請求項13】 クロック信号に同期して前記ダミー書き込み値を与えた後に前記書き込み制御信号を活性化することにより、前記ダミー書き込み値の前記ダミーメモリセルへの書き込み、前記ダミーメモリセルの出力における前記書き込まれたダミー書き込み値の検知による前記ダミー書き込み値の反転、前記書き込み制御信号の不活性化、前記読み出し制御信号の活性化、前記反転されたダミ

一書き込み値の前記ダミーメモリセルへの書き込み、前記ダミーメモリセルからの固定記憶値の読み出し、前記読み出し制御信号の不活性化、からなる一連の動作を繰り返すことを特徴とする請求項 1 2 記載のメモリ装置。

【請求項 1 4】 前記読み出し制御信号線と前記書き込み制御信号線とは可能な限り交互に配置されることを特徴とする請求項 1 から 1 3 のいずれか 1 項記載のメモリ装置。

【請求項 1 5】 前記読み出し制御信号の活性化時に、前記メモリセル内の記憶素子を構成する MOSFET の基板電圧の絶対値を前記記憶素子に印加される信号電圧の絶対値より高くすることを特徴とする請求項 1 から 1 4 のいずれか 1 項記載のメモリ装置。

【請求項 1 6】 前記読み出し制御信号の活性化時に、前記メモリセル内のトランスファークゲートの基板電圧の絶対値を前記記憶素子に印加される信号電圧の絶対値より高くすることを特徴とする請求項 1 から 1 4 のいずれか 1 項記載のメモリ装置。

【請求項 1 7】 前記トランスファークゲートの P チャネル MOSFET の基板電圧を高くすることを特徴とする請求項 1 6 記載のメモリ装置。

【請求項 1 8】 前記書き込み制御信号に応じて前記メモリセルに情報の書き込みを行う書き込み制御回路は、前記書き込み制御信号により制御される反転論理回路を含むトランスファークゲートのスイッチで構成され、ゲートが前記反転論理回路の出力に接続され、ドレインが前記書き込み制御信号線に接続され、ソースが電源または接地に接続された MOSFET を備えることを特徴とする請求項 1 から 1 7 のいずれか 1 項記載のメモリ装置。

【請求項 1 9】 ゲートが前記読み出し制御信号線を駆動する反転論理ゲートの入力に接続され、ソースが前記書き込み制御信号が入力する正転論理ゲートの出力に接続され、ドレインが前記書き込み制御信号線に接続された MOSFET を前記書き込み制御信号線の駆動元に備えることを特徴とする請求項 1 から 1 8 のいずれか 1 項記載のメモリ装置。

【請求項 2 0】 ゲートが前記読み出し制御信号を入力する反転論理ゲートの出力に接続され、ソースが前記書き込み制御信号が入力する正転論理ゲートの



出力に接続され、ドレインが前記書き込み制御信号線に接続されたMOSFETを前記書き込み制御信号線の間または終端に備えることを特徴とする請求項1から19のいずれか1項記載のメモリ装置。

【請求項21】 メモリセル内の記憶素子が第1および第2の2つの反転論理ゲートで構成され、前記第1の反転論理ゲートの第1のソースにリセット信号線を接続し、前記メモリセルの読み出しおよび書き込み動作時は前記リセット信号線に与えるリセット信号を不活性に固定し、前記読み出しおよび書き込み動作時以外では前記リセット信号を活性化させて前記記憶素子の状態を所望の値にすることを特徴とするメモリ装置。

【請求項22】 前記第1の反転論理ゲートの第1のソースと第2のソースに前記第2の反転論理ゲートの第1のソースと第2のソースをそれぞれ対応させるときに、前記第2の反転論理ゲートの第2のソースに前記リセット信号の反転信号を与える反転リセット信号線を接続することを特徴とする請求項21記載のメモリ装置。

【請求項23】 前記リセット信号は前記メモリセルへの書き込み完了を示す信号により活性化されることを特徴とする請求項21または22記載のメモリ装置。

【請求項24】 メモリセル内の記憶素子が第1および第2の2つの反転論理ゲートで構成され、前記第1の反転論理ゲートを構成するトランジスタの第1のソースには書き込み制御信号と書き込み信号の論理積の否定信号が接続され、前記第1の反転論理ゲートを構成するトランジスタの第2のソースには書き込み制御信号と反転書き込み信号の論理積信号が接続され、前記第2の反転論理ゲートを構成するトランジスタの第1のソースには書き込み制御信号と反転書き込み信号の論理積の否定信号が接続され、前記第2の反転論理ゲートを構成するトランジスタの第2のソースには書き込み制御信号と書き込み信号の論理積信号が接続されることを特徴とするメモリ装置。

【請求項25】 複数の前記書き込み制御信号と前記書き込み信号の組み合わせを備え、前記メモリセル内の記憶素子は、前記書き込み制御信号と同数でかつ前記書き込み制御信号に対応付けられた2つの反転論理ゲートの組み合わせを用い

て構成され、それぞれの反転論理ゲートを構成するトランジスタのゲートおよびドレインは対応点がそれぞれ並列に接続され、それぞれの反転論理ゲートを構成するトランジスタのソースはそれぞれの反転論理ゲートに対応付けられた前記書き込み制御信号および前記書き込み信号により生成される信号に接続されることを特徴と請求項 2 4 記載のメモリ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は多ポートを有するメモリ装置に関し、特に多ポートの信号間のクロスカップリングノイズを低減することができるメモリ装置に関する。

【0 0 0 2】

【従来の技術】

従来、多ポートを有するメモリ装置として、CPUなどに用いられるレジスタファイルがある。レジスタファイルには一般に書き込みポートと読み出しポートが備えられている。特に、多用途に対応できるように、複数の読み出しポートや書き込みポートを備えたレジスタファイルが多用されている。

【0 0 0 3】

図 2 6 は、書き込み 2 ポートと読み出し 3 ポートを有する従来のレジスタファイルのメモリセルの構成例を示す回路図である。図 2 6 において、メモリセルは、書き込みデータを入力するトランスファークゲート 1 および 2、データを記憶するインバータ 3 および 4 からなる記憶素子、記憶素子からデータを読み出すための NMOS トランジスタ 5 ～ 1 0 から構成されている。

【0 0 0 4】

さらに、メモリセルの書き込みと読み出しを制御する信号線として、2 ポートそれぞれの書き込みワード線 1 1 および 1 2、それぞれのポートの書き込みビット線 1 3 および 1 4、3 ポートそれぞれの読み出しワード線 1 5 ～ 1 7、それぞれのポートの読み出しビット線 1 8 ～ 2 0 を備えている。

【0 0 0 5】

図 2 7 は、図 2 6 の構成のメモリセルを含むレジスタファイルの構成例を示す

ブロック図である。図 2 7 において、レジスタファイルは、メモリセルを 3 2 エントリ 3 2 ビット構成に配列したメモリセルアレイ 2 0 0、メモリセルのアドレスを発生するアドレスデコーダ 2 1 0、メモリセルからの読み出しデータを保持する読み出しデータ保持回路 2 2 0、メモリセルへの書き込みデータを保持する書き込みデータ保持回路 2 3 0、制御回路 2 4 0 を有している。

#### 【 0 0 0 6 】

レジスタファイルに対して外部からは書き込み 2 ポートのそれぞれ 4 ビットのアドレスと、読み出し 3 ポートのそれぞれ 5 ビットのアドレスが与えられる。アドレスデコーダ 2 1 0 は与えられたアドレスをデコードし、メモリセルアレイ 2 0 0 とは 3 2 エントリ 2 ポートの書き込みワード線 6 4 本と 3 2 エントリ 3 ポートの読み出しワード線 9 6 本で接続される。読み出しデータ保持回路 2 2 0 とメモリセルアレイ 2 0 0 とは 3 ポート各 3 2 ビットの読み出しビット線で接続され、書き込みデータ保持回路 2 3 0 とメモリセルアレイ 2 0 0 とは 2 ポート各 3 2 ビットの書き込みビット線で接続される。

#### 【 0 0 0 7 】

図 2 8 は、図 2 6 および図 2 7 に示したレジスタファイルの動作を説明するタイミングチャートである。レジスタファイルはクロック信号 C L K に同期して動作し、クロック信号 C L K の H レベルで読み出し、L レベルで書き込みが行われる。

#### 【 0 0 0 8 】

図 2 8 において、クロック信号 C L K が L レベルのときは、選択されたポートの書き込みアドレスで指定される書き込みワード線が H レベルになり、ポート番号 0 のワード番号 1 であれば図 2 6 においてトランスファークゲート 1 がオンになる。これにより、ポート番号 0 の書き込みビット線 1 3 のデータがトランスファークゲート 1 を通ってワード番号 1 の記憶素子に記憶される。

#### 【 0 0 0 9 】

クロック信号 C L K が H レベルのときは、選択されたポートの読み出しアドレスで指定される読みだしワード線が H レベルになり、ポート番号 0 のワード番号 1 であれば図 2 6 においてトランジスタ 5 がオンになる。これにより、トランジ

スタ 6 を介してワード番号 1 の記憶素子に記憶されているデータがポート番号 0 の読み出しビット線 1 8 に読み出される。

【0 0 1 0】

【発明が解決しようとする課題】

半導体集積回路は、留まることのない高集積化要求に応じて半導体技術を絶え間なく進歩させてきており、半導体加工において一段と微細化が進んでいる。半導体加工の微細化に伴い、隣合ったビット線やワード線のクロスカップリングノイズにより誤動作が生じる問題が一段と深刻になっている。

【0 0 1 1】

また、微細化に伴い、電源電圧を低くしてメモリセルへの書き込み動作を行う際のドレインリークを小さくする必要があるが、ドレインリークを小さくするとトランジスタのしきい値が高くなるため、必ずしも微細化に応じた理想的なスケールリングができず、電源電圧を低くすることが難しいという問題がある。

【0 0 1 2】

また、微細加工を行うために製造工程では露光波長が短波長化される。メモリセルが持つ機能特性を実現するためには、短波長化に応じてトランジスタのマスクデータを最適化するか、あるいは露光の際に個別に光相補正を行うことが望ましい。しかしながら、マスクデータの最適化は膨大な工数を必要とし、また露光はウェハ全体に対して行うため部分的な光相補正は困難である。したがって、ある程度妥協できるマスクデータを用いることを前提としてメモリセルを設計しなければならないという課題がある。

【0 0 1 3】

本発明は上記事情に鑑みてなされたもので、半導体の微細加工に伴って生じるビット線やワード線のクロスカップリングノイズを低減することができるメモリ装置を提供することを目的とする。

【0 0 1 4】

さらに本発明は、微細加工されたメモリ装置においても電源電圧を低くすることができるメモリ装置を提供することを目的とする。さらに本発明は、トランジスタの物理形状を共有でき、ある程度妥協できるマスクデータを用いても性能劣

化を防ぐことができるメモリ装置を提供することを目的とする。

【 0 0 1 5 】

【課題が解決するための手段】

上記課題を解決するために、本発明の請求項 1 に係るメモリ装置は、メモリセルに読み出し制御信号を伝える 1 つ以上の読み出し制御信号線（読み出しワード線）と、この読み出しワード線にそれぞれ対応し読み出し制御信号の活性化に応じてメモリセルの情報を外部に伝送する 1 つ以上の読み出し信号線（読み出しビット線）と、メモリセルに書き込み制御信号を伝える 1 つ以上の書き込み制御信号線（書き込みワード線）と、この書き込みワード線にそれぞれ対応し書き込み制御信号の活性化に応じて外部の情報をメモリセルに伝送する 1 つ以上の書き込み信号線（書き込みビット線）と、を備えるメモリ装置であって、前記読み出しビット線と前記書き込みビット線とが交互に配置され、前記読み出し制御信号と前記書き込み制御信号とが同時に活性化されないように制御されるものである。

【 0 0 1 6 】

上記構成によれば、メモリセルアレイに対する読み出しワード線と書き込みワード線とは同時に活性化されないように制御されるため、読み出しビット線と書き込みビット線は同時に動作することが無く、かつメモリセルのレイアウト部において交互に物理配置されているため、どちらかのビット線がシールドの役目を果たすことになり、ビット線間の干渉が生ずることが無く、読み出しビット線の誤動作や書き込みビット線の誤動作を防止することができる。

【 0 0 1 7 】

本発明の請求項 2 に係るメモリ装置は、請求項 1 記載のメモリ装置において、前記書き込み制御信号は、前記読み出し制御信号の活性化に応じて前記メモリセルの情報が外部に伝送されたことを検知した後に活性化するものである。

【 0 0 1 8 】

上記構成によれば、読み出しビット線にメモリセルの情報が読み出されたことを検知した後に書き込み制御信号を起動するため、メモリセルアレイに対する読み出し後書き込みの動作制御を自律的にすることができ、読み出しワード線と書き込みワード線とが同時に活性化されないようにする制御を確実にすることがで

きる。

【 0 0 1 9 】

本発明の請求項 3 に係るメモリ装置は、請求項 1 または 2 記載のメモリ装置において、前記読み出し制御信号は、前記読み出し制御信号の活性化に応じて前記メモリセルの情報が外部に伝送されたことを検知した後に不活性化するものである。

【 0 0 2 0 】

上記構成によれば、読み出しビット線にメモリセルの情報が読み出されたことを検知した後に読み出し制御信号を不活性化するため、メモリセルアレイに対する読み出しの動作制御を自律的にすることができ、読み出しサイクルを短縮することができる。

【 0 0 2 1 】

本発明の請求項 4 に係るメモリ装置は、請求項 2 または 3 記載のメモリ装置において、メモリセルを構成する半導体素子と同一形状の半導体素子を用いてダミーメモリセルを構成し、かつ読み出しワード線および読み出しビット線とそれぞれ同一負荷特性を有するダミー読み出しワード線およびダミー読み出しビット線を備えるようにダミーメモリセルの回路を構成し、ダミーメモリセルはダミー読み出しワード線を読み出し制御信号により活性化したときに固定記憶値をダミー読み出しビット線に出力し、ダミー読み出しビット線における固定記憶値の検知により請求項 2 または 3 記載のメモリセルの情報が外部に伝送されたことの検知を行うものである。

【 0 0 2 2 】

上記構成によれば、メモリセルと同一形状のトランジスタを用いてダミーメモリセルを構成し、かつ読み出しを制御する各信号線の負荷特性も同一にするように回路構成することにより、プロセスばらつきや温度変動あるいは電圧変動に依存せずにダミーメモリセルにおける各信号線の動作特性をメモリセルの動作特性と一致させることができるため、請求項 2 または 3 記載のメモリセルの情報が外部に伝送されたことの検知を確実にすることができる。

【 0 0 2 3 】

本発明の請求項 5 に係るメモリ装置は、請求項 4 記載のメモリ装置において、メモリセルを構成する半導体素子と同一形状の半導体素子を用いてダミーメモリセルを構成し、かつ書き込みワード線と同一負荷特性を有し読み出し制御信号が与えられる第 1 のダミー書き込みワード線と、書き込みワード線と同一負荷特性を有し書き込み制御信号が与えられる第 2 のダミー書き込みワード線と、書き込みビット線と同一負荷特性を有しダミー書き込み値が与えられるダミー書き込みビット線と、読み出しビット線と同一負荷特性を有するダミー書き込み検知信号線とを備えるようにダミーメモリセルの回路を構成し、読み出し制御信号の活性化に応じてダミー書き込み値をダミーメモリセルに書き込み、この書き込まれたダミー書き込み値がダミー書き込み検知信号線に出力されたことを検知するとダミー書き込み値を反転させ、書き込み制御信号の活性化に応じて反転されたダミー書き込み値をダミーメモリセルに書き込むものである。

## 【 0 0 2 4 】

上記構成によれば、メモリセルと同一形状のトランジスタを用いてダミーメモリセルを構成し、かつ書き込みを制御する各信号線の負荷特性も同一にすることにより、プロセスばらつきや温度変動あるいは電圧変動に依存せずにダミーメモリセルにおける各信号線の動作特性をメモリセルの動作特性と一致させることができるため、ダミー書き込み検知信号線におけるダミー書き込み値の検知、ダミー書き込み値の反転、ダミーメモリセルへの再書き込みの一連の動作を読み出し後書き込みのサイクルに合わせて確実にすることができ、ダミーメモリセルを初期化することができる。

## 【 0 0 2 5 】

本発明の請求項 6 に係るメモリ装置は、請求項 5 記載のメモリ装置において、ダミーメモリセルに書き込まれたダミー書き込み値がダミー書き込み検知信号線に出力されたことを検知した後に書き込み制御信号を不活性化するものである。

## 【 0 0 2 6 】

上記構成によれば、ダミー書き込み検知信号線にダミーメモリセルからダミー書き込み値が出力されたことを検知した後に書き込み制御信号を不活性化するため、メモリセルアレイに対する書き込みの動作制御を自律的にすることができ、

書き込みサイクルを短縮することができる。

【 0 0 2 7 】

本発明の請求項 7 に係るメモリ装置は、請求項 6 記載のメモリ装置において、クロック信号に同期してダミー書き込み値を与えた後に読み出し制御信号を活性化することにより、ダミー書き込み値のダミーメモリセルへの書き込み、ダミーメモリセルからの固定記憶値の読み出し、読み出し制御信号の不活性化、書き込み制御信号の活性化、ダミーメモリセルに書き込まれたダミー書き込み値の出力の検知によるダミー書き込み値の反転、反転ダミー書き込み値のダミーメモリセルへの書き込み、書き込み制御信号の不活性化、からなる一連の動作を繰り返すものである。

【 0 0 2 8 】

上記構成によれば、クロック信号に同期してダミー書き込み値を与えた後に読み出し制御信号を活性化することにより一連の読み出し後書き込み動作が自律的に行われるため、プロセスばらつきや温度変動あるいは電圧変動に依存せずに、クロック信号に同期した最も効率の良い読み出し後書き込みサイクルを形成することができ、また、一連の動作がクロックのデューティ比に依存しないため、クロックのデューティ保証をする必要がないという効果がある。

【 0 0 2 9 】

本発明の請求項 8 に係るメモリ装置は、請求項 1 記載のメモリ装置において、前記読み出し制御信号は、前記書き込み制御信号の活性化に応じて外部の情報が前記メモリセルに伝送されたことを検知した後に活性化するものである。

【 0 0 3 0 】

上記構成によれば、書き込みビット線の情報がメモリセルに書き込まれたことを検知した後に読み出し制御信号を起動するため、メモリセルアレイに対する書き込み後読み出しの動作制御を自律的にすることができ、読み出しワード線と書き込みワード線とが同時に活性化されないようにする制御を確実にすることができる。

【 0 0 3 1 】

本発明の請求項 9 に係るメモリ装置は、請求項 1 または 8 記載のメモリ装置に



において、前記書き込み制御信号は、前記書き込み制御信号の活性化に応じて外部の情報が前記メモリセルに伝送されたことを検知した後に不活性化するものである。

#### 【 0 0 3 2 】

上記構成によれば、書き込みビット線の情報がメモリセルに書き込まれたことを検知した後に書き込み制御信号を不活性化するため、メモリセルアレイに対する書き込みの動作制御を自律的にすることができ、書き込みサイクルを短縮することができる。

#### 【 0 0 3 3 】

本発明の請求項 1 0 に係るメモリ装置は、請求項 8 または 9 記載のメモリ装置において、メモリセルを構成する半導体素子と同一形状の半導体素子を用いてダミーメモリセルを構成し、かつ書き込みワード線と同一負荷特性を有し読み出し制御信号が与えられる第 1 のダミー書き込みワード線と、書き込みワード線と同一負荷特性を有し書き込み制御信号が与えられる第 2 のダミー書き込みワード線と、書き込みビット線と同一負荷特性を有しダミー書き込み値が与えられるダミー書き込みビット線と、読み出しビット線と同一負荷特性を有するダミー書き込み検知信号線とを備えるようにダミーメモリセルの回路を構成し、書き込み制御信号の活性化に応じてダミー書き込み値をダミーメモリセルに書き込み、ダミー書き込み検知信号線に出力されるダミーメモリセルに書き込まれたダミー書き込み値の検知により請求項 8 または 9 記載の外部の情報が前記メモリセルに伝送されたことの検知を行うものである。

#### 【 0 0 3 4 】

上記構成によれば、メモリセルと同一形状のトランジスタを用いてダミーメモリセルを構成し、かつ書き込みを制御する各信号線の負荷特性も同一にするように回路構成することにより、プロセスばらつきや温度変動あるいは電圧変動に依存せずにダミーメモリセルにおける各信号線の動作特性をメモリセルの動作特性と一致させることができるため、請求項 8 または 9 記載の外部の情報が前記メモリセルに伝送されたことの検知を確実にすることができる。

#### 【 0 0 3 5 】

本発明の請求項 1 1 に係るメモリ装置は、請求項 1 0 記載のメモリ装置において、ダミーメモリセルに書き込まれたダミー書き込み値がダミー書き込み検知信号線に出力されたことの検知により、ダミー書き込み値を反転させ、読み出し制御信号の活性化に応じて反転されたダミー書き込み値をダミーメモリセルに書き込むものである。

## 【 0 0 3 6 】

上記構成によれば、ダミー書き込み検知信号線におけるダミー書き込み値の検知によりダミー書き込み値を反転させ、読み出しサイクルでダミーメモリセルへの再書き込みをすることにより、書き込み後読み出しのサイクルに合わせて一連の動作を確実にすることができ、ダミーメモリセルを初期化することができる。

## 【 0 0 3 7 】

本発明の請求項 1 2 に係るメモリ装置は、請求項 1 0 または 1 1 記載のメモリ装置において、メモリセルを構成する半導体素子と同一形状の半導体素子を用いてダミーメモリセルを構成し、かつ前記読み出しワード線および前記読み出しビット線とそれぞれ同一負荷特性を有するダミー読み出しワード線およびダミー読み出しビット線を備えるようにダミーメモリセルの回路を構成し、ダミーメモリセルはダミー読み出しワード線を読み出し制御信号により活性化したときに固定記憶値をダミー読み出しビット線に出力し、ダミー読み出しビット線における固定記憶値の検知により読み出し制御信号を不活性化するものである。

## 【 0 0 3 8 】

上記構成によれば、メモリセルと同一形状のトランジスタを用いてダミーメモリセルを構成し、かつ読み出しを制御する各信号線の負荷特性も同一にすることにより、プロセスばらつきや温度変動あるいは電圧変動に依存せずにダミーメモリセルにおける各信号線の動作特性をメモリセルの動作特性と一致させることができるため、ダミー読み出しビット線における固定記憶値の検知により読み出し制御信号を不活性化することにより、メモリセルアレイに対する読み出しの動作制御を自律的にすることができ、読み出しサイクルを短縮することができる。

## 【 0 0 3 9 】

本発明の請求項 1 3 に係るメモリ装置は、請求項 1 2 記載のメモリ装置において、クロック信号に同期してダミー書き込み値を与えた後に書き込み制御信号を活性化することにより、ダミー書き込み値のダミーメモリセルへの書き込み、ダミーメモリセルの出力における書き込まれたダミー書き込み値の検知によるダミー書き込み値の反転、書き込み制御信号の不活性化、読み出し制御信号の活性化、反転されたダミー書き込み値のダミーメモリセルへの書き込み、ダミーメモリセルからの固定記憶値の読み出し、読み出し制御信号の不活性化、からなる一連の動作を繰り返すものである。

#### 【 0 0 4 0 】

上記構成によれば、クロック信号に同期してダミー書き込み値を与えた後に書き込み制御信号を活性化することにより一連の書き込み後読み出し動作が自律的に行われるため、プロセスばらつきや温度変動あるいは電圧変動に依存せずに、クロック信号に同期した最も効率の良い書き込み後読み出しサイクルを形成することができ、また、一連の動作がクロックのデューティ比に依存しないため、クロックのデューティ保証をする必要がないという効果がある。

#### 【 0 0 4 1 】

本発明の請求項 1 4 に係るメモリ装置は、請求項 1 から 1 3 のいずれか 1 項記載のメモリ装置において、前記読み出しワード線と前記書き込みワード線とは可能な限り交互に配置されるものである。

#### 【 0 0 4 2 】

上記構成によれば、請求項 1 から 1 3 のいずれか 1 項記載のメモリ装置においてはメモリセルアレイに対する読み出しワード線と書き込みワード線とは同時に活性化されないように制御されるので、読み出しワード線と書き込みワード線とを交互に物理配置することにより、どちらかのワード線がシールドの役目を果たすことになり、ワード線間のクロスカップリングノイズを防止する効果が得られる。

#### 【 0 0 4 3 】

本発明の請求項 1 5 に係るメモリ装置は、請求項 1 から 1 4 のいずれか 1 項記載のメモリ装置において、読み出し制御信号の活性化時に、メモリセル内の記憶

素子を構成するMOSFETの基板電圧の絶対値を前記記憶素子に印加される信号電圧の絶対値より高くするものである。

## 【 0 0 4 4 】

上記構成によれば、記憶素子を構成するMOSFETの基板電圧の絶対値を記憶素子に印加される信号電圧の絶対値より高くすることにより、しきい値の絶対値を高くすることができるので、その分だけノイズ耐性が増加し、読み出しワード線の立ち下りにより書き込みワード線にクロスカップリング効果による電圧降下が生じたときに書き込みの誤動作が起き難くなる効果が得られる。つまり、MOSFETのソース・ドレイン間電流を少なくする。

## 【 0 0 4 5 】

本発明の請求項16に係るメモリ装置は、請求項1から14のいずれか1項記載のメモリ装置において、前記読み出し制御信号の活性化時に、前記メモリセル内のトランスファークゲートの基板電圧の絶対値を前記記憶素子に印加される信号電圧の絶対値より高くするものである。

## 【 0 0 4 6 】

上記構成によれば、レイアウトの都合上、MOSFETの基板電圧のみを昇圧し難い場合でも、メモリセル内のトランスファークゲートの基板電圧を昇圧することで、グリッチ（書き込みワード線が非選択時、書き込みワード線が”H”なら、書き込みワード線に電圧降下が起こった場合）が乗っても書き込みの誤動作が起き難くなる効果が得られる。

## 【 0 0 4 7 】

本発明の請求項17に係るメモリ装置は、請求項16記載のメモリ装置において、前記トランスファークゲートのPチャネルMOSFETの基板電圧を高くするものである。

## 【 0 0 4 8 】

上記構成によれば、トランスファークゲートのPチャネルMOSFETの基板電圧を昇圧することで特に読み出し系の速度の低下を最小限に抑えることができる。

## 【 0 0 4 9 】

本発明の請求項 1 8 に係るメモリ装置は、請求項 1 から 1 7 のいずれか 1 項記載のメモリ装置において、メモリセルに情報の書き込みを行う書き込み制御回路に、書き込み制御信号により制御される反転論理回路を含むトランスファークロスのスイッチで構成され、ゲートが反転論理回路の出力に接続され、ドレインが書き込みワード線に接続され、ソースが電源または接地に接続された MOS FET を備えるものである。

## 【 0 0 5 0 】

上記構成によれば、前記 MOS FET により、読み出しワード線が立ち下がる時に書き込みワード線に電流パスが生じることで書き込みワード線のインピーダンスが小さくなるため、読み出しワード線とのカップリング容量の割合が小さくなり、クロスカップリングノイズの影響を受け難くなる効果が得られる。

## 【 0 0 5 1 】

本発明の請求項 1 9 に係るメモリ装置は、請求項 1 から 1 8 のいずれか 1 項記載のメモリ装置において、ゲートが読み出しワード線を駆動する反転論理ゲートの入力に接続され、ソースが書き込み制御信号が入力する正転論理ゲートの出力に接続され、ドレインが書き込みワード線に接続された MOS FET を書き込みワード線の駆動元に備えるものである。

## 【 0 0 5 2 】

上記構成によれば、前記 MOS FET により、書き込みワード線のインピーダンスが電源に接続された場合よりも高くなり、読み出しワード線の立ち下がりによって生じるカップリングによる電源電圧の降下の過渡応答速度が遅くなるため、書き込みワード線の電圧値を高く維持でき、電源電圧降下分を吸収することができる。

## 【 0 0 5 3 】

本発明の請求項 2 0 に係るメモリ装置は、請求項 1 から 1 9 のいずれか 1 項記載のメモリ装置において、ゲートが読み出し制御信号を入力する反転論理ゲートの出力に接続され、ソースが書き込み制御信号が入力する正転論理ゲートの出力に接続され、ドレインが書き込みワード線に接続された MOS FET を書き込みワード線の間または終端に備えるものである。

## 【 0 0 5 4 】

上記構成によれば、読み出しワード線が立ち下がっても、正転論理ゲートの遅延分の時間だけ書き込みワード線の電圧を電源電圧に維持できるため、読み出しワード線による書き込みワード線へのクロスカップリングノイズが発生し難くなり、誤書き込みを防止することができる。

## 【 0 0 5 5 】

本発明の請求項 2 1 に係るメモリ装置は、メモリセル内の記憶素子が第 1 および第 2 の 2 つの反転論理ゲートで構成され、第 1 の反転論理ゲートの第 1 のソースにリセット信号線を接続し、メモリセルの読み出しおよび書き込み動作時は前記リセット信号線に与えるリセット信号を不活性に固定し、読み出しおよび書き込み動作時以外では前記リセット信号を活性化させて記憶素子の状態を所望の値にするものである。

## 【 0 0 5 6 】

本発明の請求項 2 2 に係るメモリ装置は、請求項 2 1 記載のメモリ装置において、前記第 1 の反転論理ゲートの第 1 のソースと第 2 のソースに前記第 2 の反転論理ゲートの第 1 のソースと第 2 のソースをそれぞれ対応させるときに、前記第 2 の反転論理ゲートの第 2 のソースに前記リセット信号の反転信号を与える反転リセット信号線を接続するものである。

## 【 0 0 5 7 】

本発明の請求項 2 3 に係るメモリ装置は、請求項 2 1 または 2 2 記載のメモリ装置において、前記リセット信号はメモリセルへの書き込み完了を示す信号により活性化されるものである。

## 【 0 0 5 8 】

上記構成によれば、リセット信号をメモリセル内の記憶素子に与える回路構成をとることにより、書き込みワード線が不活性の場合にも 1 サイクル以内にメモリセル内の記憶素子を初期化することができる。このような構造をとることにより、他のメモリセルとトランジスタの物理形状を共有でき、ある程度妥協できるマスクデータを用いても性能劣化を防ぐことができる。

## 【 0 0 5 9 】

本発明の請求項 2 4 に係るメモリ装置は、メモリセル内の記憶素子が第 1 および第 2 の 2 つの反転論理ゲートで構成され、前記第 1 の反転論理ゲートを構成するトランジスタの第 1 のソースには書き込み制御信号と書き込み信号の論理積の否定信号が接続され、前記第 1 の反転論理ゲートを構成するトランジスタの第 2 のソースには書き込み制御信号と反転書き込み信号の論理積信号が接続され、前記第 2 の反転論理ゲートを構成するトランジスタの第 1 のソースには書き込み制御信号と反転書き込み信号の論理積の否定信号が接続され、前記第 2 の反転論理ゲートを構成するトランジスタの第 2 のソースには書き込み制御信号と書き込み信号の論理積信号が接続されるものである。

## 【 0 0 6 0 】

上記構成によれば、メモリセル内の記憶素子を構成する 2 つの反転論理ゲートについて、それぞれの反転論理ゲートを構成するトランジスタのそれぞれのソースを、書き込み制御信号に応じて書き込み信号とその反転信号で制御することにより、メモリセル内部の帰還インバータの帰還の強さを解放することができるため、電源電圧を低くしても書き込みやすくなり、メモリ装置の低電圧化を図ることができる。

## 【 0 0 6 1 】

本発明の請求項 2 5 に係るメモリ装置は、請求項 2 4 記載のメモリ装置において、複数の前記書き込み制御信号と前記書き込み信号の組み合わせを備え、前記メモリセル内の記憶素子は、前記書き込み制御信号と同数でかつ前記書き込み制御信号に対応付けられた 2 つの反転論理ゲートの組み合わせを用いて構成され、それぞれの反転論理ゲートを構成するトランジスタのゲートおよびドレインは対応点がそれぞれ並列に接続され、それぞれの反転論理ゲートを構成するトランジスタのソースはそれぞれの反転論理ゲートに対応付けられた前記書き込み制御信号および前記書き込み信号により生成される信号に接続されるものである。

## 【 0 0 6 2 】

上記構成によれば、複数組の反転論理ゲートをそれぞれ然るべく並列に接続して請求項 2 2 記載のメモリ装置と同じ効果が得られる記憶素子回路を構成することができるため、多ポートを有するメモリ装置においても、メモリ装置の低電圧

化を図ることができる。

【 0 0 6 3 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

（実施の形態 1）

図 1 は本発明の実施の形態 1 に係るメモリ装置の構成例を示す図である。図 1（a）は本実施の形態のメモリ装置として書き込み 2 ポートと読み出し 3 ポートを有するレジスタファイルのメモリセルの構成例を示す回路図であり、図 1（b）は図 1（a）のメモリセルの書き込みビット線と読み出しビット線の物理配置を示す図である。

【 0 0 6 4 】

図 1（a）において、図 1 9 に示した従来のメモリ装置の構成例と同じ構成要素を同一符号で示している。すなわち、メモリセルは、書き込みデータを入力するトランスファークロスタック 1 および 2、データを記憶するインバータ 3 および 4 からなる記憶素子、記憶素子からデータを読み出すための NMOS トランジスタ 5 ～ 1 0 から構成されている。更に、図 1（c）、（d）のような構成でも良い。

【 0 0 6 5 】

さらに、メモリセルの書き込みと読み出しを制御する信号線として、2 ポートそれぞれの書き込みワード線 1 1 および 1 2、それぞれのポートの書き込みビット線 1 3 および 1 4、3 ポートそれぞれの読み出しワード線 1 5 ～ 1 7、それぞれのポートの読み出しビット線 1 8 ～ 2 0 を備えている。

【 0 0 6 6 】

これらの信号線のうち書き込みビット線と読み出しビット線は、図 1（b）に示すように、メモリセルのレイアウト部 2 1 において交互に物理配置されている。すなわち、書き込みポート 0 のビット線 1 3 は読み出しポート 0 のビット線 1 8 と読み出しポート 1 のビット線 1 9 の間に、書き込みポート 1 のビット線 1 4 は読み出しポート 1 のビット線 1 9 と読み出しポート 2 のビット線 2 0 の間に配置されている。

【 0 0 6 7 】



このように、本実施の形態のメモリ装置においては、書き込みポートと読み出しポートが同数であれば、全ビット位置において書き込みビット線と読み出しビット線が交互に配置可能であるが、書き込みポート数と読み出しポート数が異なる場合は、可能な範囲で交互に配置する。例えば、書き込み1ポートと読み出し3ポートを有するメモリセルの場合は、2つの読み出しビット線が隣り合うことは避けられない。また、2コラム構成で、クロックの奇数周期と偶数周期で読み出すポートが異なる場合は、その読み出しポートを隣接させてもよい。

## 【0068】

図2は、4つの読み出しポートと2つの書き込みポートがあり、そのうち、読み出しビットrd data 0-2と読み出しビットrd data 3が異なる周期で読み出される条件での、各ポートのレイアウト配置図の例である。

## 【0069】

図3は、図1の構成のメモリセルを含むレジスタファイルの構成例を示すブロック図である。図3において、レジスタファイルは、メモリセルを33エントリ33ビット構成に配列したメモリセルアレイ201、メモリセルのアドレスを発生するアドレスデコーダ211、メモリセルからの読み出しデータを保持する読み出しデータ保持回路221、メモリセルへの書き込みデータを保持する書き込みデータ保持回路231、制御回路241を有している。

## 【0070】

ここで、メモリセルアレイ201は、通常の32エントリ32ビット構成のメモリセルアレイに1ダミーエントリと1ダミービットを付加して配列した構成になっている。そのため、メモリセルアレイ201は、図27のメモリセルアレイ200に比べて、1ダミーエントリ1ダミービット構成のダミーメモリセルA、1ダミーエントリ32ビット構成のダミーメモリセルB、32エントリ1ダミービット構成のダミーメモリセルCが付加されている。

## 【0071】

ここに、ダミーメモリセルAは読み出しにおいては書き込みとは無関係に固定記憶値をダミー読み出しビット線に出力する。また、書き込みにおいてはダミー書き込み値が書き込まれたことを検出するために、書き込まれた値を外部に出力

するダミー書き込み検知信号線を備えている。

#### 【 0 0 7 2 】

また、ダミーメモリセルBおよびダミーメモリセルCは、ダミーメモリセルAを付加したときに、ダミーメモリセルAの各信号線の負荷特性が本来のデータを格納する32エントリ32ビット構成のメモリセル部分の各信号線の負荷特性と同一になるように回路構成して付加したものである。ダミーメモリセルBは読み出しワード線と書き込みワード線の容量が通常のメモリセルと等価になるようにし、ダミーメモリセルCは読み出しビット線と書き込みビット線の容量が通常のメモリセルと等価になるようにしている。

#### 【 0 0 7 3 】

これらのダミーメモリセルは図1に示したメモリセルと同一形状のトランジスタを用いて構成することにより、各信号線の負荷特性をメモリセルアレイ301と同一にすることができ、インバータなどを代用して遅延特性を近似した場合に比べて、プロセスばらつきや温度変動あるいは電圧変動を含めた負荷特性を近似できる。

#### 【 0 0 7 4 】

レジスタファイルに対して外部からは書き込み2ポートのそれぞれ5ビットのアドレス、読み出し3ポートのそれぞれ5ビットのアドレス、クロック信号CLK、このレジスタファイルを選択するセレクト信号が与えられ、書き込み2ポートと読み出し3ポートのそれぞれ32ビットのデータ入出力信号で外部とのインターフェースを行う。

#### 【 0 0 7 5 】

アドレスデコーダ211は与えられたアドレスをデコードし、メモリセルアレイ201とは、32エントリ2ポートの書き込みワード線64本と32エントリ3ポートの読み出しワード線96本に加えて、ダミーメモリセルAに対する読み出しワード線および書き込みワード線が付加されて接続される。読み出しデータ保持回路221および書き込みデータ保持回路231とメモリセルアレイ201とは、3ポート各32ビットの読み出しビット線および2ポート各32ビットの書き込みビット線に加えて、ダミー読み出しビット線およびダミー書き込みビッ

ト線および前記ダミー書き込み検知信号線が付加されて接続される。

#### 【0076】

以上のように構成されたメモリ装置において、本発明によれば、読み出しワード線と書き込みワード線とは同時に活性化されないように制御される。図4は、上記構成のレジスタファイルの書き込みと読み出しを制御する詳細な回路構成例を示す回路図である。図4にはダミーメモリセルAの回路構成例も示されている。また、ダミーメモリセルBの回路構成例を図5に、ダミーメモリセルCの回路構成例を図6に示す。

#### 【0077】

図4において、メモリセルアレイ201は、上述したように、32エントリ32ビット構成のメモリセルアレイ301、1ダミーエントリ1ダミービット構成のダミーメモリセルA302、1ダミーエントリ32ビット構成のダミーメモリセルB303、32エントリ1ダミービット構成のダミーメモリセルC304から構成されている。また、305は書き込みワード線および読み出しワード線の活性化を制御するワード線制御ブロックである。

#### 【0078】

また、図4において、311、312、313はフリップフロップ、321はメモリセルアレイ301の読み出しワード線を活性化する読み出しロウデコーダ、322はメモリセルアレイ301の書き込みワード線を活性化する書き込みロウデコーダ、323はダミーメモリセルAの読み出しワード線を活性化する読み出しダミーロウデコーダ、324はダミーメモリセルAの第1のダミー書き込みワード線を活性化する第1の書き込みダミーロウデコーダ、325はダミーメモリセルAの第2のダミー書き込みワード線を活性化する第2の書き込みダミーロウデコーダである。

#### 【0079】

さらに、図4において、331はクロック信号、332はセレクト信号、333はダミーメモリセルAへのダミー書き込み値を与えるダミー書き込みビット線、334は読み出し制御信号を与えるフリップフロップ312の出力、335はダミーメモリセルAから固定記憶値が読み出されるダミー読み出しビット線、3

3 6 は書き込み制御信号を与えるフリップフロップ 3 1 3 の出力、3 3 7 はダミーメモリセル A に書き込んだダミー書き込み値を読み出すダミー書き込み検知信号線である。

#### 【 0 0 8 0 】

さらに、図 7 は、図 4 に示した制御回路の動作を説明するタイミングチャートである。以下、図 4 ～図 7 を用いて、本実施の形態のメモリ装置による多ポートのメモリセルからなるレジスタファイルの動作を説明する。なお、図 7 と図 4 において、信号のタイミングと動作回路の対応関係を○印中の数字により示す。また、以下の説明では（○数字）のように記述する。

#### 【 0 0 8 1 】

まず初期状態において、セレクト信号が L レベルから H レベルとなると、フリップフロップ 3 1 1、3 1 2、3 1 3 はリセット状態にあり、Q 出力は L レベルとなっている。次にクロック信号 C L K が入力されると、フリップフロップ 3 1 1 は L レベルから H レベルとなる（○1）。これにより、フリップフロップ 3 1 2 が L レベルから H レベルとなり（○2）、読み出しロウデコーダ 3 2 1 および読み出しダミーデコーダ 3 2 3 および第 1 の書き込みダミーロウデコーダ 3 2 4 が起動する。

#### 【 0 0 8 2 】

これに応じて、ダミー書き込みビット線 3 3 3 上のフリップフロップ 3 1 1 の出力から与えられるダミー書き込み値がダミーメモリセル A に書き込まれ、ダミーメモリセル A から固定記憶値がダミー読み出しビット線 3 3 5 に出力される（○3）。この固定記憶値によりフリップフロップ 3 1 2 はリセットされて Q 出力が L レベルへ遷移し、読み出しロウデコーダ 3 2 1 および読み出しダミーデコーダ 3 2 3 は不活性となり（○3）、読み出しサイクルが終了する。

#### 【 0 0 8 3 】

次に、ダミー読み出しビット線 3 3 5 に読み出された固定記憶値によりフリップフロップ 3 1 3 のクロック入力 H レベルとなるので、フリップフロップ 3 1 3 の Q 出力が H レベルとなり、書き込みロウデコーダ 3 2 2 および第 2 の書き込みダミーロウデコーダ 3 2 5 が起動される（○4）。

## 【 0 0 8 4 】

また、ダミー書き込み検知信号線 3 3 7 に読み出されたダミー書き込み値により (O 5)、フリップフロップ 3 1 1 がリセットされ、ダミー書き込みビット線は反転して L レベルになるため、反転したダミー書き込み値がダミーメモリセル A に書き込まれる。また同時に、フリップフロップ 3 1 3 がリセットされ、書き込みロウデコーダ 3 2 2 および第 2 の書き込みダミーロウデコーダ 3 2 5 は不活性となり (O 6)、書き込みサイクルが終了する。なお、0 または 1 を書き込む際、書き込み期間が遅くなるダミー構成を書き込みワード線の活性化期間とすることが重要である。

## 【 0 0 8 5 】

以上により読み出し後書き込みの 1 サイクルの動作が完了する。このように、読み出しサイクルと書き込みサイクルはリセット付きフリップフロップ 3 1 1、3 1 2、3 1 3 を使用して生成しているので、クロック信号の反転エッジを使用する場合に比べて、クロックのデューティ比に依存しないため、クロックのデューティ保証をする必要がないという効果がある。さらに、読み出し動作、書き込み動作それぞれが、デューティ比依存がないため、クロック系統の要因 (ジッタ、プロセス変動によるデューティ比の変化) による速度変化も防止できる効果がある。

## 【 0 0 8 6 】

ワード線の活性化期間はメモリセルからの読み出しと書き込みの最低時間を保証するものであるので、ダミーメモリセルよりも電流能力が劣るセルがあれば初期テストではじかれることになり、本実施の形態の構成は経年変化に対する品質保証の観点において非常に優れた構成となる。またダミーメモリセル自身が不良である場合は、規定の周波数で動作しなくなるため初期テストではじかれることになる。

## 【 0 0 8 7 】

上記に説明したように、メモリセルアレイ 3 0 1 に対する読み出しワード線と書き込みワード線とは同時に活性化されないように制御されるので、読み出しビット線と書き込みビット線は同時に動作することが無く、かつメモリセルのレイ

アウト部において交互に物理配置されているので、どちらかのビット線がシールドの役目を果たすため、ビット線間の干渉が生ずることが無く、読み出しビット線の誤動作や書き込みビット線の誤動作が防止される効果がある。

#### 【 0 0 8 8 】

なお、本実施の形態ではダミーメモリセルの書き込みロウデコーダを2つ用意し、それぞれが読み出しロウデコーダの起動と書き込みロウデコーダの起動で起動するようにしたが、ダミーメモリセルAに記憶される情報が1サイクル以内に初期化されるならば、ダミーメモリセルの書き込みロウデコーダが1つであっても良い。また、検知にダミーセルの1つのポートを用いた場合を示したが、ダミーセルを複数用いてもよいし、多ポートの情報から検知してもよい。その場合、更に高精度となる。

#### 【 0 0 8 9 】

図15はダミーメモリセル内を初期化する回路構成例を示す回路図である。図15において、31と32はダミーメモリセル内の記憶素子を構成するそれぞれ第1と第2のインバータ、33はリセット端子となる第1のインバータの第1のソース、34は電源に接続される第1のインバータの第2のソース、35は接地される第2のインバータの第1のソース、36は反転リセット端子となる第2のインバータの第2のソースである。

#### 【 0 0 9 0 】

ここで、リセット端子33にフリップフロップ311のQ出力を接続し、反転リセット端子36にフリップフロップ311のQ出力の反転情報を入力することにより、書き込みワード線が不活性の場合にも1サイクル以内に初期化される。また、このような構造をとることにより、特殊なトランジスタを挿入する必要がなく、かつ回路を構成するトランジスタの物理形状を変える必要もなく、ダミーメモリセルをリセットすることが可能である。このようにすることで、他のメモリセルとトランジスタの物理形状を共有でき、性能劣化を防ぐことができる。

#### 【 0 0 9 1 】

また、微細加工に伴い電源電圧を低くする必要があるが、その際にもメモリセルへの書き込み動作が保証されなければならない。図16は本発明に係る低電圧

で書き込み動作可能なメモリセルの基本構成を示す回路図である。図 1 6 において、3 7 と 3 8 はメモリセル内の記憶素子を構成するそれぞれ第 1 と第 2 のインバータであり、3 9 ～ 4 2 は書き込みワード線と書き込みビット線を入力して第 1 と第 2 のインバータを構成するトランジスタのソースに与える信号を生成する論理回路である。

## 【 0 0 9 2 】

具体的には、書き込みワード線の信号を WE、書き込みビット線の信号を WD とすると、第 1 のインバータを構成するトランジスタの第 1 のソース IN 1 には論理回路 3 9 により WE と WD の論理積の否定信号を与え、第 1 のインバータを構成するトランジスタの第 2 のソース IN 2 には論理回路 4 0 により WE と反転 WD の論理積信号を与え、第 2 のインバータを構成するトランジスタの第 1 のソース IN 3 には論理回路 4 1 により WE と反転 WD の論理積の否定信号を与え、第 2 のインバータを構成するトランジスタの第 2 のソース IN 4 には論理回路 4 2 により WE と WD の論理積信号を与える。このようにすることにより、メモリセル内部の帰還インバータの帰還の強さを解放することができるため、電源電圧を低くしても書き込みやすくなる。

## 【 0 0 9 3 】

図 1 7 は、この方式の多ポートメモリセルへの応用例として、本発明に係る低電圧で書き込み動作可能な書き込み 2 ポートのメモリセルの基本構成を示す回路図である。図 1 7 において、書き込みポート 0 に対応するメモリセルをインバータ 4 3 と 4 5 で構成し、書き込みポート 1 に対応するメモリセルをインバータ 4 4 と 4 6 で構成し、かつインバータ 4 3 とインバータ 4 4 を構成するトランジスタのゲートとドレインを並列接続し、インバータ 4 5 とインバータ 4 6 を構成するトランジスタのゲートとドレインを並列接続している。このようにして、インバータ 4 3 および 4 4 と、インバータ 4 5 および 4 6 が書き込み 2 ポートのメモリセルの記憶素子を構成するそれぞれ第 1 と第 2 のインバータとなるようにしている。

## 【 0 0 9 4 】

ここで、書き込みポート 0 に対応するインバータ 4 3 と 4 5 を構成するトラン

ジスタのソースWR0IN1、WR0IN2、WR0IN3、WR0IN4に対して、書き込みポート0に対応する書き込みワード線の信号と書き込みビット線の信号から図16と同様の論理回路で生成された信号を与え、書き込みポート1に対応するインバータ44と46を構成するトランジスタのソースWR1IN1、WR1IN2、WR1IN3、WR1IN4に対して、書き込みポート1に対応する書き込みワード線の信号と書き込みビット線の信号から図16と同様の論理回路で生成された信号を与える。

#### 【0095】

このようにすることにより、多ポートメモリセルにおいても図16に示した回路方式と同じ方式が実現できるため、多ポートメモリセル内部の帰還インバータの帰還の強さを解放することができることになり、電源電圧を低くしても書き込み易くなる。

#### 【0096】

また、本実施の形態のレジスタファイルの動作において書き込みビット線がクリティカルではないことが明らかな場合、つまり、書き込みワード線が活性化するよりも明らかにビット線が確定している場合は、図4に示した回路構成を簡略化することができる。図23は、図1および図3のように構成されたレジスタファイルの書き込みと読み出しを制御する簡略化された回路構成例を示す回路図であり、図25は図23に示した制御回路の動作を説明するタイミングチャートである。

#### 【0097】

図23において、図4の回路構成例と同じ構成要素については同一符号で示す。また、同一符号に添え字aを付けた構成要素は、302aのダミーメモリセルAでは同じ役割を有するが回路構成が変わることを示し、フリップフロップ312a、第1の書き込みダミーロウデコーダ324aでは同じ役割を有するが接続関係が変わることを示している。この場合は書き込みビット線がクリティカルではないため、図4のフリップフロップ311は不要になり、ダミーメモリセルAの書き込みビット線は、メモリセル内部で第1の書き込みデータが電源、第2の書き込みデータが接地に接続されている。さらに、読み出し回路、書き込み回路



がある。読み出し回路は、読み出しアドレスイネーブル信号と同じシーケンスで遷移される制御信号でスイッチされる回路を含んでいる。これらは、図 2 4 (a) であってもよいし、さらに高速にするには図 2 4 (b) であってもよい。これにより、アドレスイネーブル信号が” L ” になったら、読み出しビットラインはプリチャージされても、読み出しデータの出力は変化しない。

#### 【 0 0 9 8 】

クロック信号 CLK の起動と同時にフリップフロップ 3 1 2 a が起動し、読み出しロウデコーダ 3 2 1 および読み出しダミーデコーダ 3 2 3 が活性化される (○ 2)。ダミーメモリセル A から固定記憶値がダミー読み出しビット線 3 3 5 に出力される (○ 3) と、フリップフロップ 3 1 2 はリセットされ、フリップフロップ 3 1 3 がセットされることで、読み出しサイクルが終了し、書き込みサイクルが開始される (○ 4)。

#### 【 0 0 9 9 】

一方、読み出しサイクル中にフリップフロップ 3 1 3 の Q 出力の反転信号で第 1 の書き込みダミーロウデコーダ 3 2 4 a を起動し、ダミーメモリセル A 内部で電源から書き込みを行ってダミーメモリセル A の書き込み値を初期化し、書き込みサイクルが開始されると、フリップフロップ 3 1 3 の Q 出力で第 2 の書き込みダミーロウデコーダ 3 2 5 を起動し、ダミーメモリセル A 内部で接地から書き込みを行い、この変化をダミー書き込み検知信号線 3 3 7 により検知することで書き込みサイクルを終了させる (○ 6)。

#### 【 0 1 0 0 】

このように書き込みビット線がクリティカルではないことが明らかな場合は、これを考慮した回路構成をすることで回路を簡略化することができるため、半導体集積回路チップの面積や消費電力を低減することができるという効果がある。

#### 【 0 1 0 1 】

##### (実施の形態 2)

上記実施の形態 1 においては、クロック信号に同期して 1 サイクルの動作で読み出し後書き込みを行う方式を示したが、同様にクロック信号に同期して 1 サイクルの動作で書き込み後読み出しを行うことができる。図 8 は、図 1 および図 3

のように構成されたレジスタファイルの実施の形態 2 に係る書き込みと読み出しを制御する詳細な回路構成例を示す回路図である。さらに、書き込み入力データが、マルチポートメモリ内の書き込みビットラインに伝達される場合、その遷移が、読み出しビットラインの遷移と重なる場合は、書き込み入力データを受けるフリップフロップと書き込みビットラインの間に、書き込みアドレスイネーブル信号と同じシーケンスで遷移する信号線で制御されるスイッチを挿入すればよい。これにより、多少、書き込みサイクル時間は増えるが、読み出し、書き込みビットラインの干渉は回避できる。図 9 にその回路図を示す。

#### 【 0 1 0 2 】

また、読み出しのアクセスを高速化するために、図 1 0 で示したようなダイナミックデコーダをロウデコーダに使用した例を示す。このロウデコーダは、入力アドレスをフリップフロップやラッチで受ける必要がないので、その分、アドレスのセットアップおよびホールド時間が短縮される。もし、マルチポートメモリとアドレスを生成される別ブロックとのインターフェースの故障を見る場合は、その故障診断の際、シフトレジスタ動作するフリップフロップを置けばよい。さらに、このマルチポートメモリは、読み出しデータ、書き込みデータの動作時間が異なるため、図 1 1 のように、アドレスを最終デコードした部分を書き込み、読み出しのワードラインで共用し、最終部で、アドレスイネーブル信号で切り替えることにより、アドレスデコーダの面積を低減することも可能である。

#### 【 0 1 0 3 】

また、図 1 2 はメモリセルアレイをロウ方向の 2 分割 ( B a n k 1、B a n k 2 ) した階層メモリの例を示す。この場合、書き込みビットラインは階層化されておらず、読み出しビットラインは階層化されている。このような場合のダミーメモリセルの配置を図 1 3 に示す。ダミーメモリセル A 1 は、読み出し系の遅延補償用であり、ダミーメモリセル A は書き込み時間補償用回路である。書き込み検知の信号は、特に配線の指定はないが、書き込みビットラインおよびワードライン、読み出しローカルビットライン、読み出しグローバルライン、ワードラインは、本来のメモリセルに起因する構造と同じであることが望ましい。

#### 【 0 1 0 4 】

図 8 において、図 4 の回路構成例と同じ構成要素については同一符号で示す。  
また、同一符号に添え字 b を付けた構成要素は同じ役割を有するが接続関係が変わることを示している。すなわち、図 4 と異なる点は、フリップフロップ 3 1 3 b のクロック入力に直接クロック信号 3 3 1 に接続され、フリップフロップ 3 1 2 b はフリップフロップ 3 1 3 b のリセット信号によりセットされる点である。

## 【 0 1 0 5 】

図 1 4 は図 8 に示した制御回路の動作を説明するタイミングチャートである。  
以下、図 8 と図 1 4 を用いて、本実施の形態のメモリ装置による多ポートのメモリセルからなるレジスタファイルの動作を説明する。図 8 と図 1 4 において、信号のタイミングと動作回路の対応関係を○印中の数字により示し、以下の説明では（○数字）のように記述する点は実施の形態 1 と同様である。

## 【 0 1 0 6 】

まず初期状態において、セレクト信号が L レベルから H レベルとなると、フリップフロップ 3 1 1、3 1 2 b、3 1 3 b はリセット状態にあり、Q 出力は L レベルとなっている。次にクロック信号 CLK が入力されると、フリップフロップ 3 1 1 およびフリップフロップ 3 1 3 b が L レベルから H レベルとなる（○ 1）。これにより、書き込みロウデコーダ 3 2 2 および第 2 の書き込みダミーロウデコーダ 3 2 5 が起動される（○ 2）。

## 【 0 1 0 7 】

これに応じて、ダミー書き込みビット線 3 3 3 上のダミー書き込み値がダミーメモリセル A に書き込まれる。次に、ダミー書き込み値がダミー書き込み検知信号線 3 3 7 に読み出されると（○ 3）、これにより、フリップフロップ 3 1 1 およびフリップフロップ 3 1 3 b がリセットされ、書き込みロウデコーダ 3 2 2 および第 2 の書き込みダミーロウデコーダ 3 2 5 は不活性になり書き込みサイクルが終了する（○ 4）。

## 【 0 1 0 8 】

それと同時に、フリップフロップ 3 1 2 b がセットされ（○ 5）、読み出しロウデコーダ 3 2 1 および読み出しダミーデコーダ 3 2 3 および第 1 の書き込みダミーロウデコーダ 3 2 4 が起動し、読み出しサイクルが開始される。ここで、フ

リップフロップ 3 1 1 がリセットされているので、反転したダミー書き込み値がダミーメモリセル A に書き込まれることで、ダミーメモリセル A の書き込み値が初期化される。

#### 【 0 1 0 9 】

次に、ダミーメモリセル A から固定記憶値がダミー読み出しビット線 3 3 5 に出力されると (O 6)、この固定記憶値によりフリップフロップ 3 1 2 b はリセットされ、読み出しロウデコーダ 3 2 1 および読み出しダミーデコーダ 3 2 3 は不活性となり、読み出しサイクルが終了する。

#### 【 0 1 1 0 】

以上により書き込み後読み出しの 1 サイクルの動作が完了する。上記に説明したように、メモリセルアレイ 3 0 1 に対する読み出しワード線と書き込みワード線とは同時に活性化されないように制御されるので、読み出しビット線と書き込みビット線は同時に動作することが無く、かつメモリセルのレイアウト部において交互に物理配置されているので、どちらかのビット線がシールドの役目を果たすことになり、ビット線間の干渉が生ずることが無く、読み出しビット線の誤動作や書き込みビット線の誤動作が防止される効果がある。

#### 【 0 1 1 1 】

なお、本実施の形態において、図 1 5 に示したダミーメモリセル内を初期化する回路構成のメモリセル、あるいは図 1 6 および図 1 7 に示した低電圧でも書き込み動作可能なメモリセルを用いても、実施の形態 1 における効果と同じ効果が発揮される。

#### 【 0 1 1 2 】

以上説明した実施の形態 1 および実施の形態 2 において、メモリセルのレイアウト部で読み出しワード線と書き込みワード線とを交互に物理配置し、同時に活性化されないように制御することにより、ビット線間のクロスカップリングノイズによる誤動作が防止される効果を説明したが、さらに本発明に係るメモリ装置におけるノイズ耐性を強化するための回路構成について以下に説明する。

#### 【 0 1 1 3 】

図 1 8 は本発明の実施の形態に係る MOS F E T の基板電圧を制御するメモリ

装置の構成例を示す図である。図 1 8 (a) はメモリ装置として書き込み 2 ポートと読み出し 3 ポートを有するレジスタファイルのメモリセルの構成例を示す回路図であり、図 1 8 (b) は図 1 8 (a) のメモリセルの書き込みワード線と読み出しワード線線の物理配置を示す図である。

#### 【0 1 1 4】

図 1 8 において、図 1 に示したメモリ装置の回路構成例と同じ構成要素については同一符号で示す。すなわち、メモリセルは、書き込みデータを入力するトランスファークゲート 1 および 2、データを記憶するインバータ 3 および 4 からなる記憶素子、記憶素子からデータを読み出すための NMOS トランジスタ 5 ~ 1 0 から構成され、2 ポートそれぞれの書き込みワード線 1 1 および 1 2、3 ポートそれぞれの読み出しワード線 1 5 ~ 1 7 を備え、さらに、メモリセルを構成する P チャネルの N W E L L 2 2 に信号入力線 NW を備えている。

#### 【0 1 1 5】

ここで、実施の形態 1 および実施の形態 2 においてはメモリセルアレイに対する読み出しワード線と書き込みワード線とは同時に活性化されないように制御されるので、読み出しワード線 1 5 ~ 1 7 と書き込みワード線 1 1 および 1 2 とを交互に物理配置することにより、どちらかのワード線がシールドの役目を果たすため、ワード線間のクロスカップリングノイズを防止する効果が得られる。

#### 【0 1 1 6】

図 1 9 は、図 1 8 に示したメモリセルを用いたレジスタファイルの動作を説明するタイミングチャートである。図 1 9 において、読み出しワード線が活性化されている間は、信号入力線 NW に与える MOS F E T の基板電圧を電源電圧より高く昇圧する。その結果、P チャネル MOS F E T のしきい値は、通常の値よりも低い値 ( $-V_{th} - \delta V$ ) になる。通常、読み出しワード線の立ち下りにより書き込みワード線にはクロスカップリング効果による電圧降下が見られるが、図 1 8 の実施の形態によれば、しきい値が  $-\delta V$  だけ低くなっているので、何もしない場合に比べて  $-\delta V$  だけノイズ耐性が増加し、グリッチが乗っても書き込み誤動作が起き難くなる効果が得られる。なお、レイアウトの都合上、トランスファークゲートだけを基板電圧より高くしてもよい。この場合、読み出しポートを構

成するNチャネルMOSFETの基板電圧は昇圧しない方が速度維持には好ましい。

#### 【0117】

図20は本発明の実施の形態に係る制御信号のインピーダンスを制御するメモリ装置として書き込み2ポートと読み出し3ポートを有するメモリセルの構成例を示す回路図である。

#### 【0118】

図20において、図1に示したメモリ装置の回路構成例と同じ構成要素については同一符号で示す。すなわち、メモリセルは、書き込みデータを入力するトランスファークラップゲート1および2、データを記憶するインバータ3および4からなる記憶素子、記憶素子からデータを読み出すためのNMOSトランジスタ5～10から構成され、2ポートそれぞれの書き込みワード線11および12、3ポートそれぞれの読み出しワード線15～17を備え、さらに、トランスファークラップゲートを制御する書き込みワード線とその反転論理回路出力にドレインおよびゲートがそれぞれ接続され、ソースが電源に接続されたPチャネルMOSFET23を備えている。

#### 【0119】

このPチャネルMOSFET23により、読み出しワード線が立ち下がる時に書き込みロウデコーダの最終段のインバータのPチャネルMOSFET以外での電流パスが生じることで書き込みワード線のインピーダンスが小さくなるため、読み出しワード線とのカップリング容量の割合が小さくなり、クロスカップリングノイズの影響を受け難くなる効果が得られる。

#### 【0120】

図21は本発明の実施の形態に係るメモリ装置におけるクロスカップリングノイズ除去回路の構成例を示す回路図である。図21のクロスカップリングノイズ除去回路はワード線の駆動元に配置される。図21において、PチャネルMOSFET24のゲートには読み出しワード線RWDを駆動するバッファの入力が接続され、ソースには書き込みワード線WWDを入力する2段のインバータの出力が接続され、ドレインには書き込みワード線WWDが接続される。

## 【 0 1 2 1 】

PチャネルMOSFET 24のソースに書き込みワード線WWDを入力する2段のインバータの出力が接続されることにより、電源に接続された場合よりもインピーダンスが高くなり、読み出しワード線RWDの立ち下がりによって生じるワード線対電源ラインのカップリングによる電源電圧の降下の過渡応答速度が遅くなる。そのため、PチャネルMOSFET 24ソースの電圧値はより高く維持でき、PチャネルMOSFET 24のドライブ能力の電源電圧降下分を吸収できる。また、読み出しワード線を駆動する反転論理回路と兼用できるため、半導体集積回路チップの低面積化が可能となる。

## 【 0 1 2 2 】

図22は本発明の実施の形態に係るメモリ装置におけるクロスカップリングノイズ除去回路の他の構成例を示す回路図である。図22のクロスカップリングノイズ除去回路はワード線の間または終点に配置される。図22において、PチャネルMOSFET 25のゲートには読み出しワード線RWDを入力するインバータの出力が接続され、ソースには書き込みワード線WWDを入力する2段のインバータの出力が接続され、ドレインには書き込みワード線WWDが接続される。

## 【 0 1 2 3 】

この回路をワード線の間または終点に配置することにより、読み出しワード線が立ち下がっても、インバータの遅延分の時間だけWWDをVDDに維持しており、読み出しワード線RWDによる書き込みワード線へのクロスカップリングノイズが発生し難くなり、誤書き込みを防止することができる。

## 【 0 1 2 4 】

## 【発明の効果】

以上説明したように、本発明によれば、メモリセルアレイに対する読み出しワード線と書き込みワード線とが同時に活性化されないように制御することで読み出しビット線と書き込みビット線の同時動作を回避し、かつメモリセルのレイアウト部において読み出しワード線と書き込みワード線を交互に物理配置することにより、ビット線にシールドの役目を果たさせることができ、ビット線間のクロ

スカップリングノイズによる読み出しビット線の誤動作や書き込みビット線の誤動作を防止することができるという優れた効果が得られる。

## 【 0 1 2 5 】

さらに本発明によれば、メモリセルと同一形状のトランジスタを用いてダミーメモリセルを構成し、かつ各信号線の負荷特性も同一にするように回路構成することにより、プロセスばらつきや温度変動あるいは電圧変動に依存せずにダミーメモリセルにおける各信号線の動作特性をメモリセルの動作特性と一致させることができるため、ダミーメモリセルを用いた読み出しおよび書き込み制御系を構成することにより、メモリ装置をクロック信号に同期して自律的に効率の良く動作させることができ、読み出しワード線と書き込みワード線とが同時に活性化されないようにする制御も確実にすることができるという優れた効果が得られる。

## 【 0 1 2 6 】

さらに本発明によれば、メモリセル内の記憶素子を構成するMOSFETの基板電圧を高くすることによるしきい値の制御、あるいは書き込み制御信号のインピーダンスの制御により、読み出しワード線の立ち下りによる書き込みワード線へのクロスカップリングノイズを低減することができるため、書き込みの誤動作を防止できるという優れた効果が得られる。

## 【 0 1 2 7 】

さらに本発明によれば、リセット信号をメモリセル内の記憶素子に与える回路構成をとることにより、書き込みワード線が不活性の場合にも1サイクル以内にメモリセル内の記憶素子を初期化することができ、このような構造をとることにより、他のメモリセルとトランジスタの物理形状を共有でき、ある程度妥協できるマスクデータを用いても性能劣化を防ぐことができるという優れた効果が得られる。

## 【 0 1 2 8 】

さらに本発明によれば、メモリセル内の記憶素子を構成する2つの反転論理ゲートのトランジスタのそれぞれのソースを、書き込み制御信号に応じて書き込み信号とその反転信号で制御することにより、電源電圧を低くしても書き込み易くなりメモリ装置の低電圧化を図ることができる。さらに、複数組の反転論理ゲー



トをそれぞれ並列に接続して同様な回路を構成することにより、多ポートを有するメモリ装置においてもメモリ装置の低電圧化を図ることができるという優れた効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係るメモリ装置の構成例を示す図。

【図 2】

本発明の実施の形態 1 に係るメモリ装置による 2 コラム構成のレイアウト配置を示す図。

【図 3】

本発明の実施の形態 1 に係るメモリ装置によるレジスタファイルの構成例を示すブロック図。

【図 4】

本発明の実施の形態 1 に係るメモリ装置によるレジスタファイルを制御する詳細な回路構成例を示す回路図。

【図 5】

ダミーメモリセル B の回路構成例を示す回路図。

【図 6】

ダミーメモリセル C の回路構成例を示す回路図。

【図 7】

本発明の実施の形態 1 に係るメモリ装置によるレジスタファイルの動作を説明するタイミングチャート。

【図 8】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルを制御する詳細な回路構成例を示す回路図。

【図 9】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルを制御する詳細な回路構成例を示す回路図。

【図 1 0】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルにおけるロウデコーダの構成を示す回路図。

【図 1 1】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルにおけるロウデコーダの構成を示す回路図。

【図 1 2】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルにおけるメモリセルアレイをロウ方向に 2 分割した階層メモリの例を示す回路図。

【図 1 3】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルにおけるダミーセルの配置を示す図。

【図 1 4】

本発明の実施の形態 2 に係るメモリ装置によるレジスタファイルの動作を説明するタイミングチャート。

【図 1 5】

ダミーメモリセル内を初期化する回路構成例を示す回路図。

【図 1 6】

本発明の実施の形態に係る低電圧で書き込み動作可能なメモリセルの基本構成を示す回路図。

【図 1 7】

本発明の実施の形態に係る低電圧で書き込み動作可能な多ポートのメモリセルの基本構成を示す回路図。

【図 1 8】

本発明の実施の形態に係る MOSFET の基板電圧を制御するメモリ装置の構成例を示す図。

【図 1 9】

本発明の実施の形態に係る MOSFET の基板電圧を制御するメモリ装置を用いたレジスタファイルの動作を説明するタイミングチャート。

【図 2 0】

本発明の実施の形態に係る制御信号のインピーダンスを制御するメモリ装置の構成例を示す回路図。

【図 2 1】

本発明の実施の形態に係るメモリ装置におけるクロスカップリングノイズ除去回路の構成例を示す回路図。

【図 2 2】

本発明の実施の形態に係るメモリ装置におけるクロスカップリングノイズ除去回路の構成例を示す回路図。

【図 2 3】

本発明の実施の形態 1 に係るメモリ装置によるレジスタファイルを制御する簡略化された回路構成例を示す回路図。

【図 2 4】

本発明の実施の形態 1 に係るメモリ装置によるレジスタファイルを制御する簡略化された回路構成例における読み出しデータ保持回路の構成を示す回路図。

【図 2 5】

本発明の実施の形態 1 に係るメモリ装置によるレジスタファイルを制御する簡略化された回路構成例の動作を説明するタイミングチャート。

【図 2 6】

従来のレジスタファイルのメモリセルの構成例を示す回路図。

【図 2 7】

従来のメモリセルを用いたレジスタファイルの構成例を示すブロック図。

【図 2 8】

従来のメモリセルを用いたレジスタファイルの動作を説明するタイミングチャート。

【符号の説明】

- 1、2    トランスファーゲート
- 3、4    インバータ
- 5、6、7、8、9、10    NMOSトランジスタ
- 11、12    書き込みワード線

1 3、1 4 書き込みビット線  
1 5、1 6、1 7 読み出しワード線  
1 8、1 9、2 0 読み出しビット線  
2 1 メモリセルのレイアウト部  
2 2 PチャネルのNWE L L  
2 3、2 4、2 5 PチャネルM O S F E T  
3 1、3 2、3 7、3 8、4 3、4 4、4 5、4 6 インバータ  
3 3、3 4、3 5、3 6 ソース  
3 9、4 0、4 1、4 2 論理回路  
2 0 0、2 0 1 メモリセルアレイ  
2 1 0、2 1 1 アドレスデコーダ  
2 2 0、2 2 1 読み出しデータ保持回路  
2 3 0、2 3 1 書き込みデータ保持回路  
2 4 0、2 4 1 制御回路  
3 0 1 メモリセルアレイ 3 0 1  
3 0 2、3 0 2 a ダミーメモリセル A  
3 0 3 ダミーメモリセル B  
3 0 4 ダミーメモリセル C  
3 0 5 ワード線制御ブロック  
3 1 1、3 1 2、3 1 3 フリップフロップ  
3 1 2 a、3 1 2 b、3 1 3 b フリップフロップ  
3 2 1 読み出しロウデコーダ  
3 2 2 書き込みロウデコーダ  
3 2 3 読み出しダミーロウデコーダ  
3 2 4、3 2 4 a 第 1 の書き込みダミーロウデコーダ  
3 2 5 第 2 の書き込みダミーロウデコーダ  
3 3 1 クロック信号  
3 3 2 セレクト信号  
3 3 3 ダミー書き込みビット線

3 3 4 読み出し制御信号

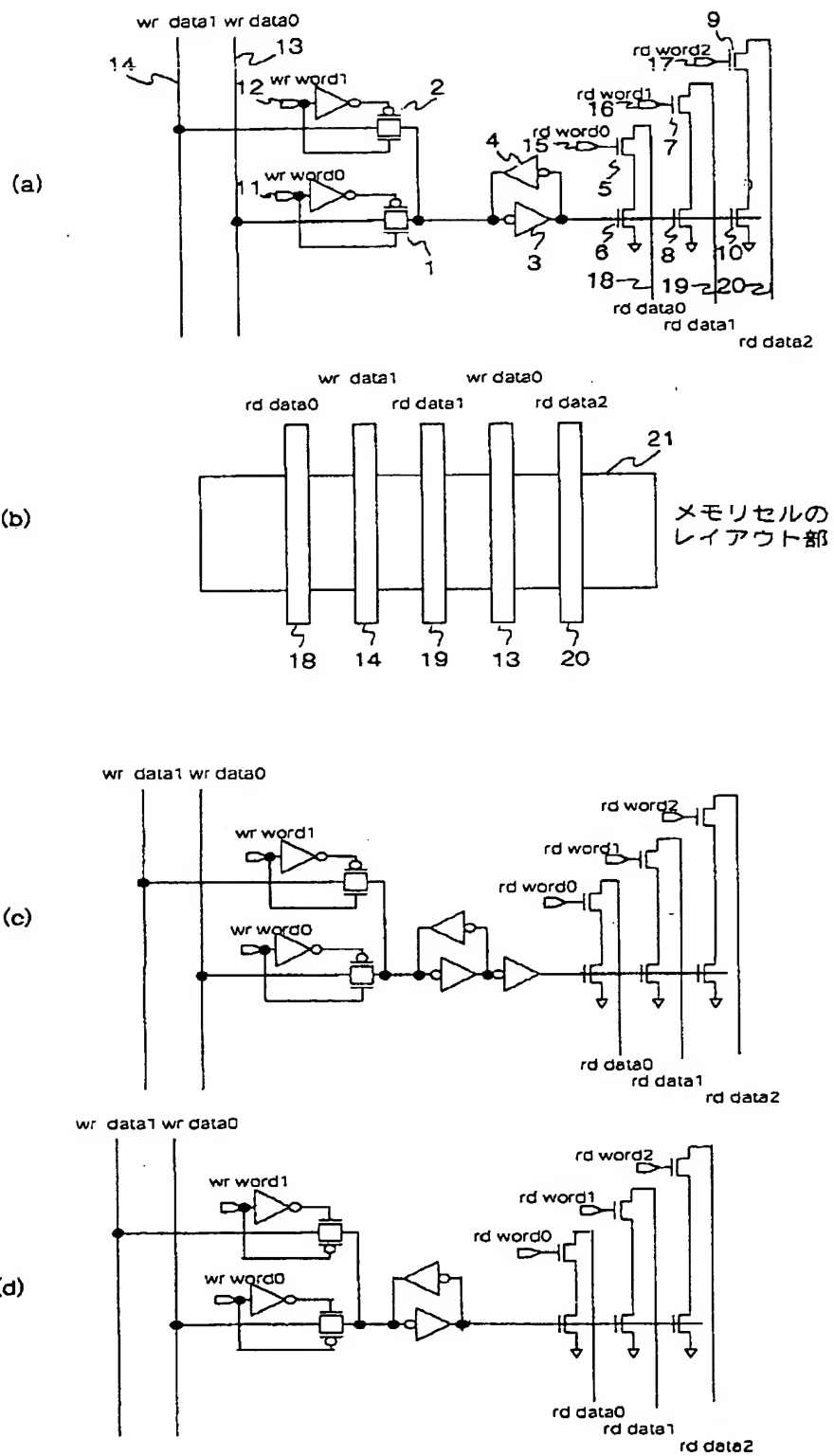
3 3 5 ダミー読み出しビット線

3 3 6 書き込み制御信号

3 3 7 ダミー書き込み検知信号線

【書類名】 図面

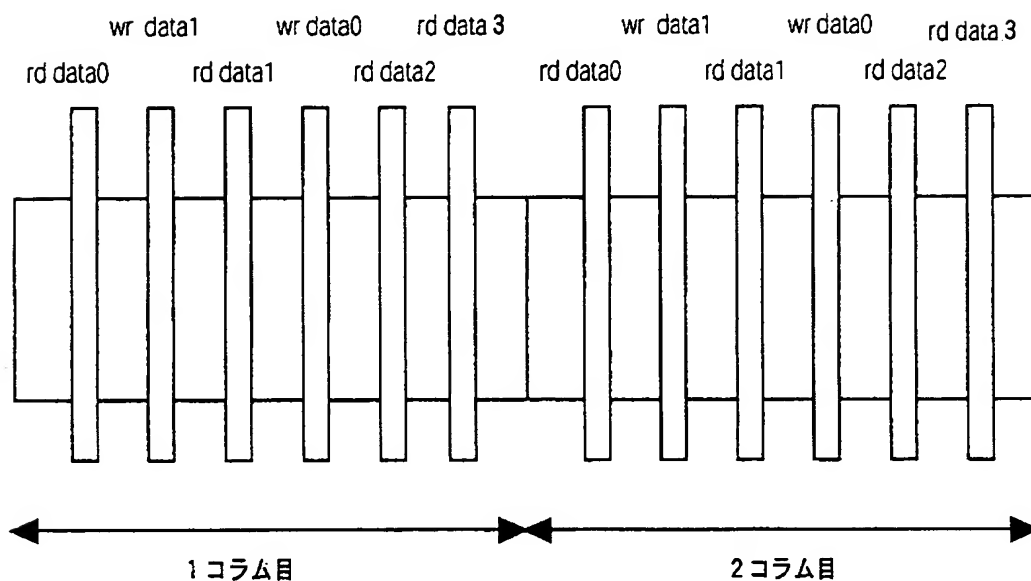
【図 1】



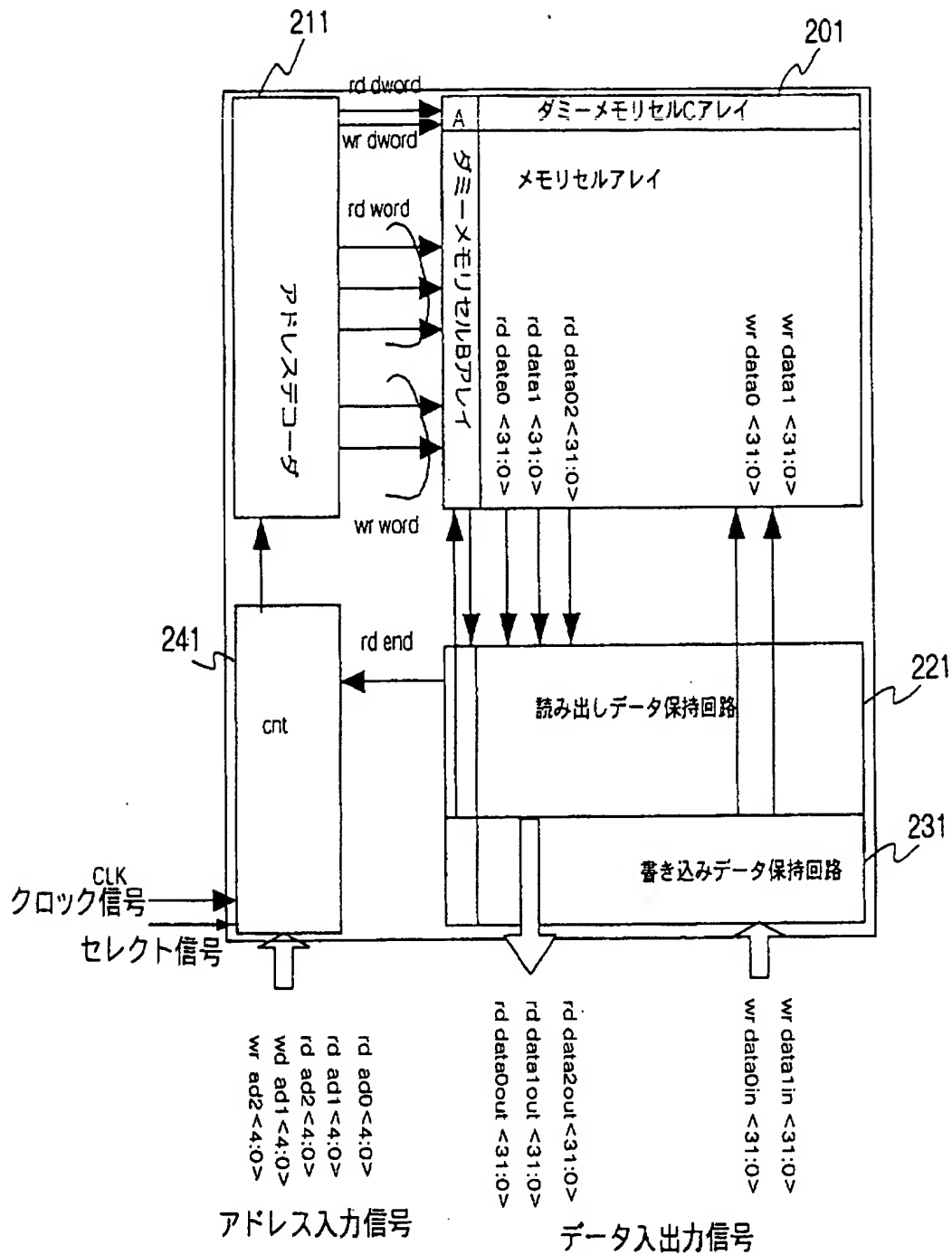
【図 2】

2コラム構成の場合

メモリセル部のレイアウト

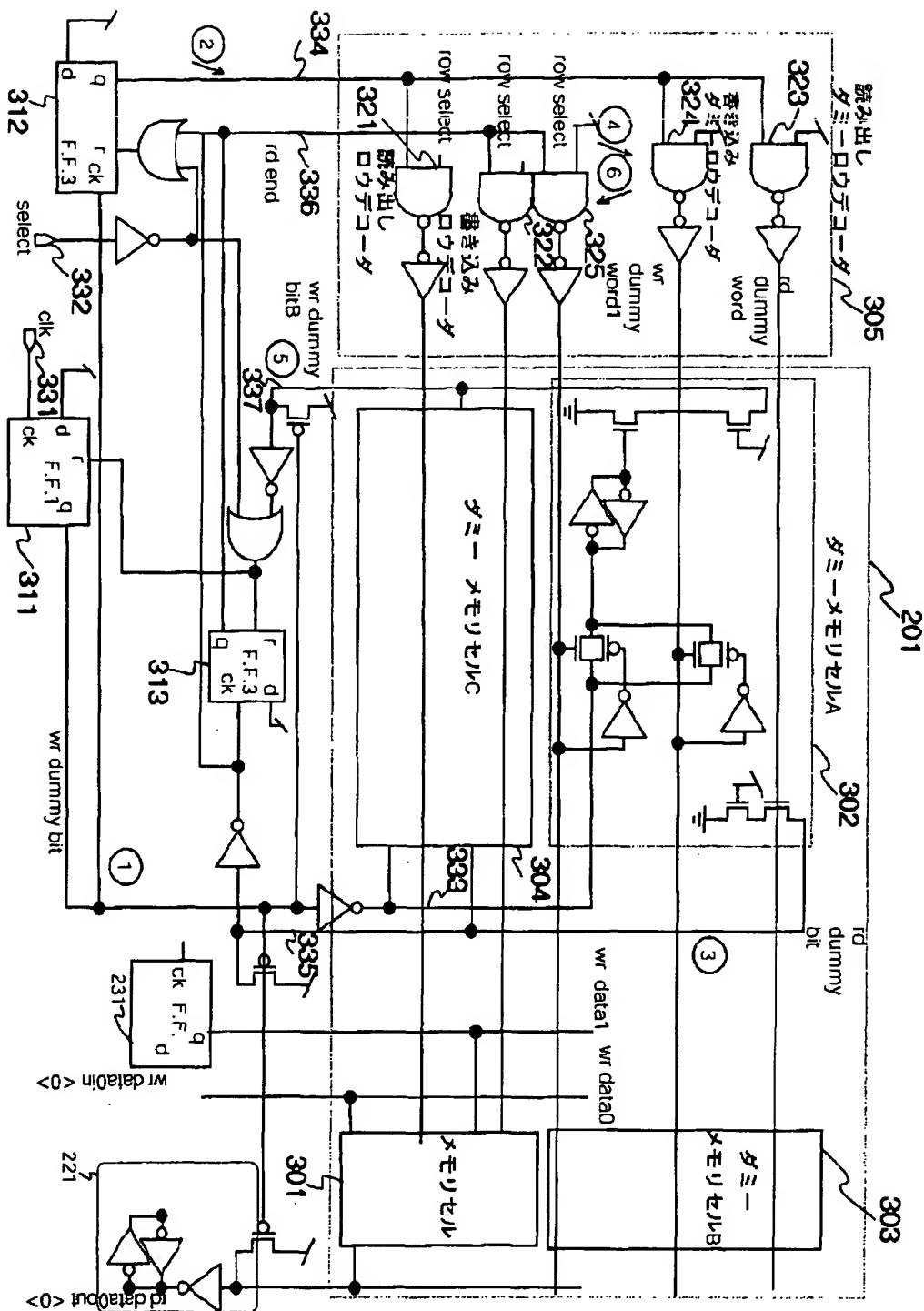


【図 3】



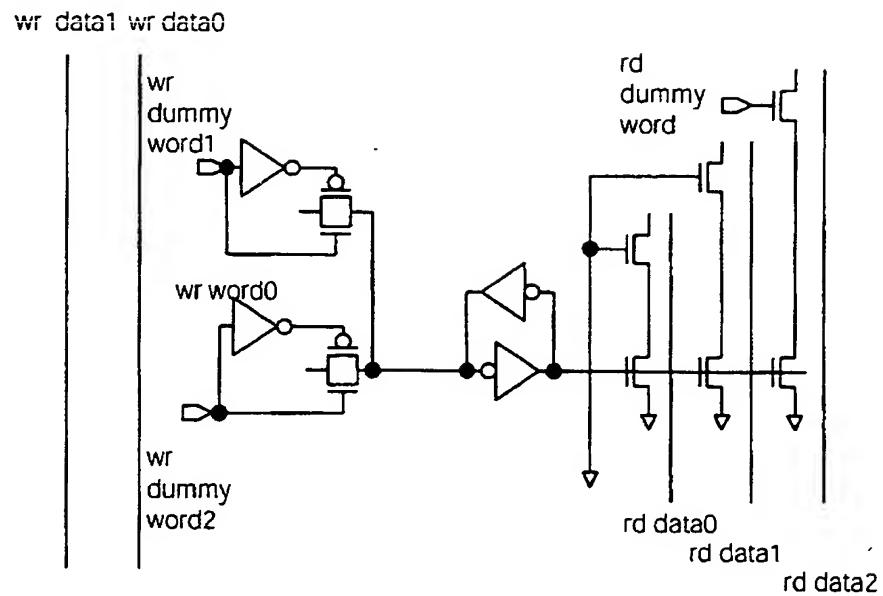


【図 4】



【図 5】

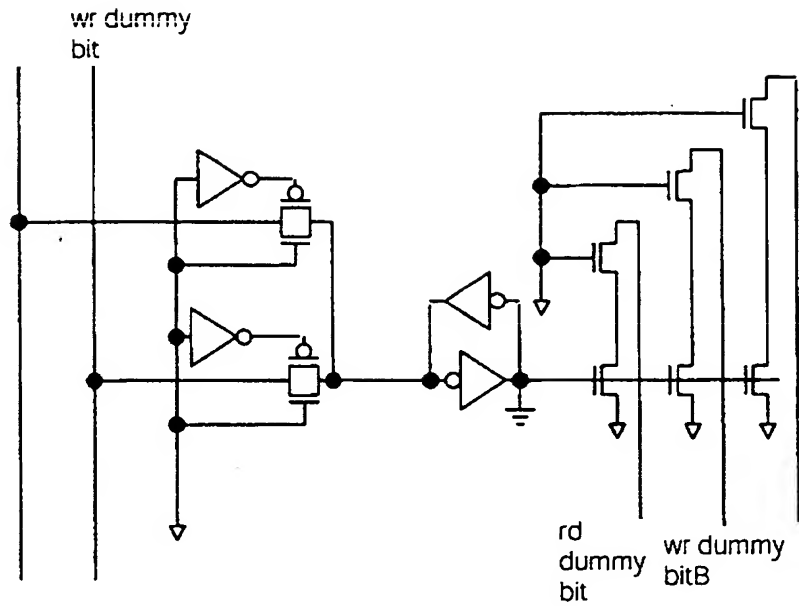
図 1 (a)に対応するダミーメモリセル（ワード疑似）



ダミー  
メモリセルB

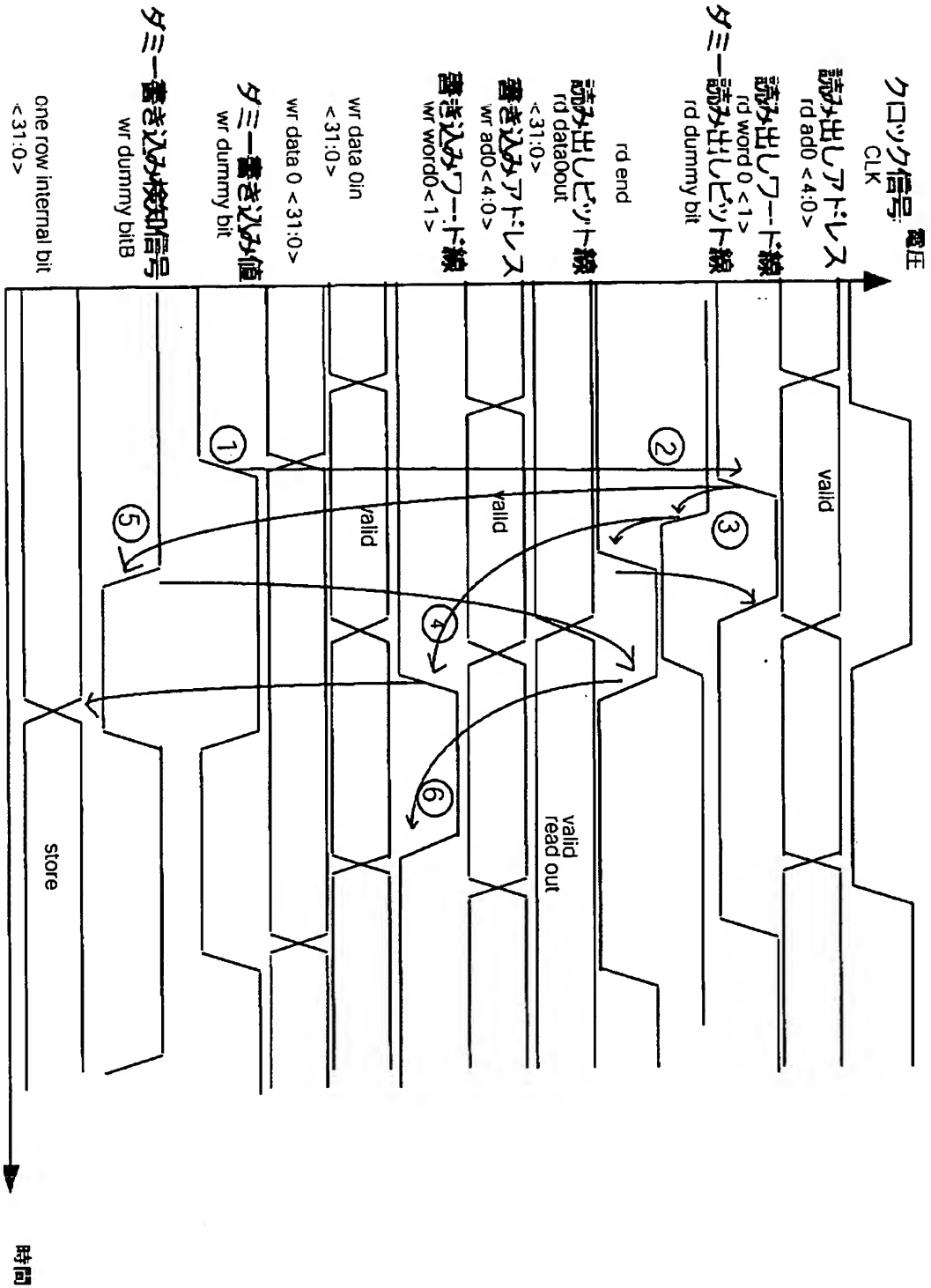
【図 6】

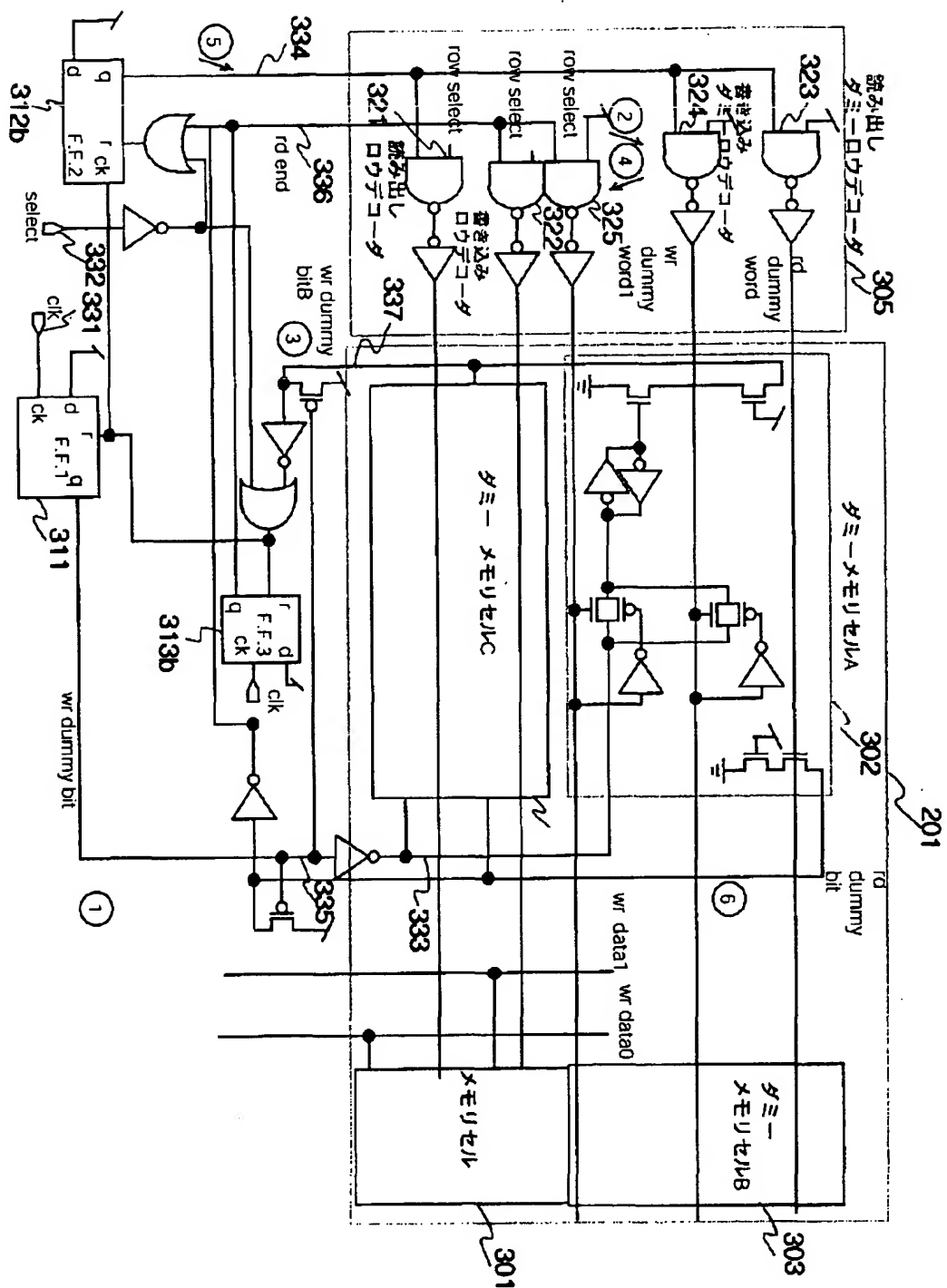
図 1(a)に対応するダミーメモリセル (ビットライン疑似)



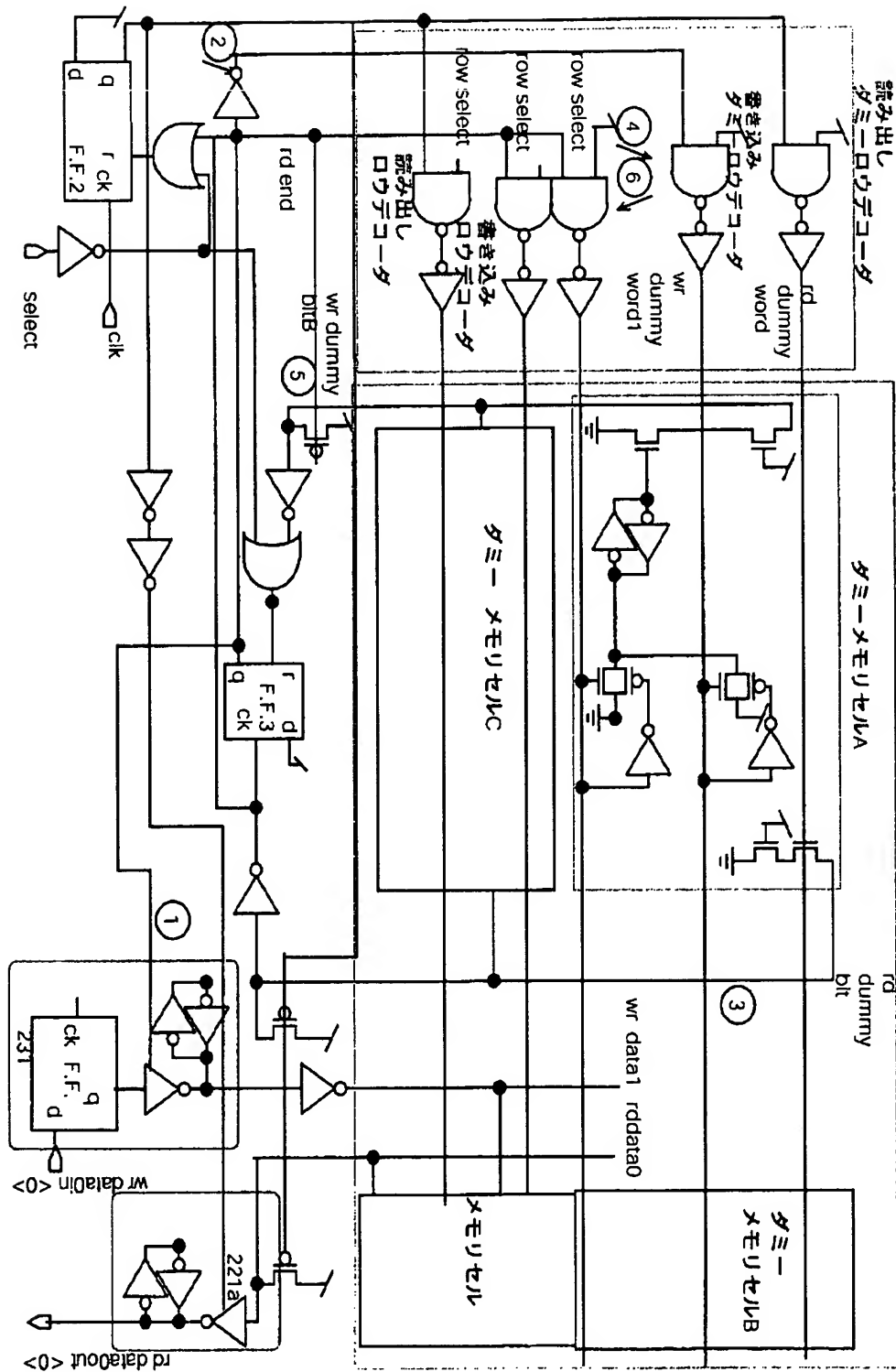
ダミー メモリセルC

【図 7】

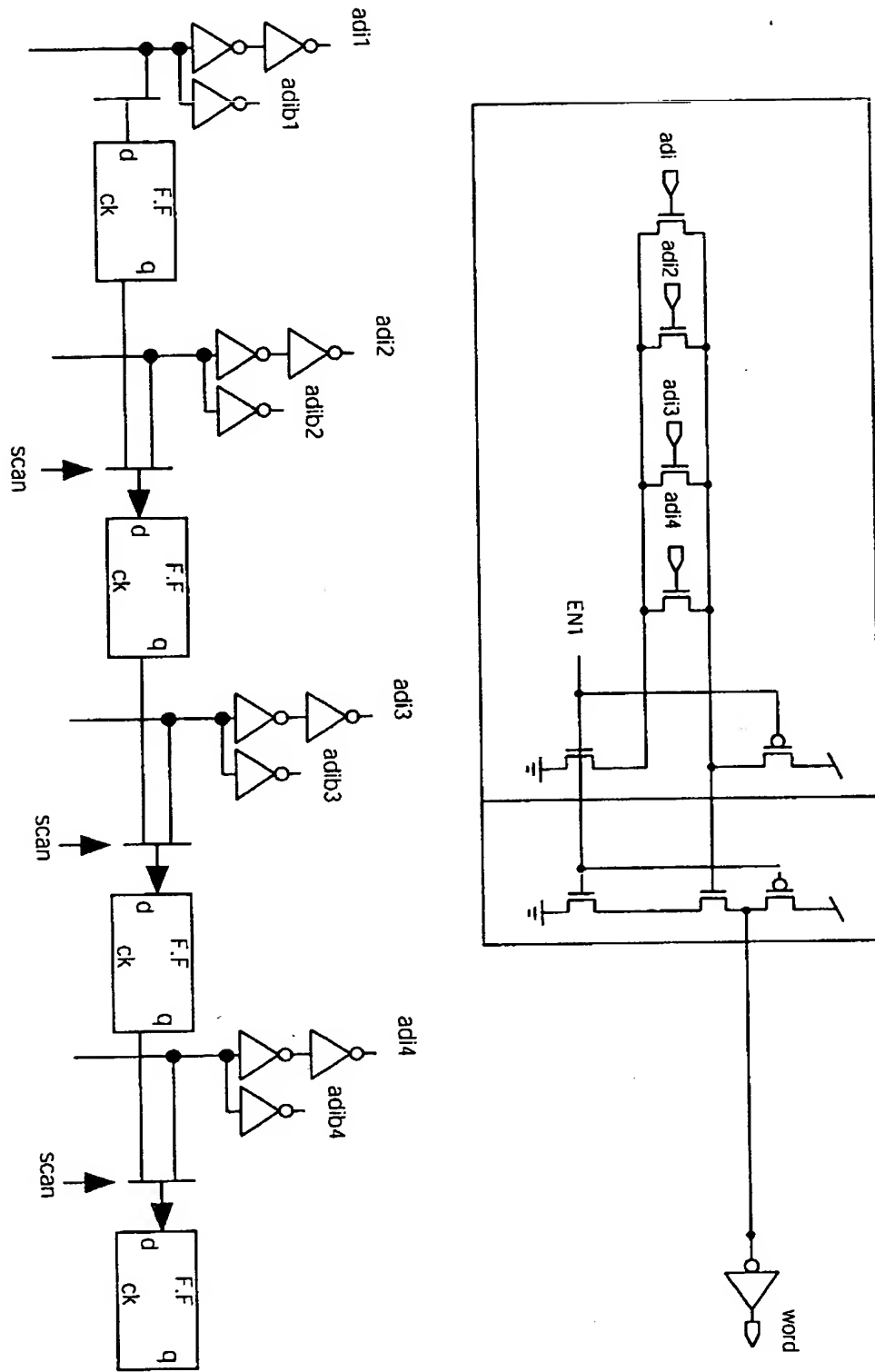




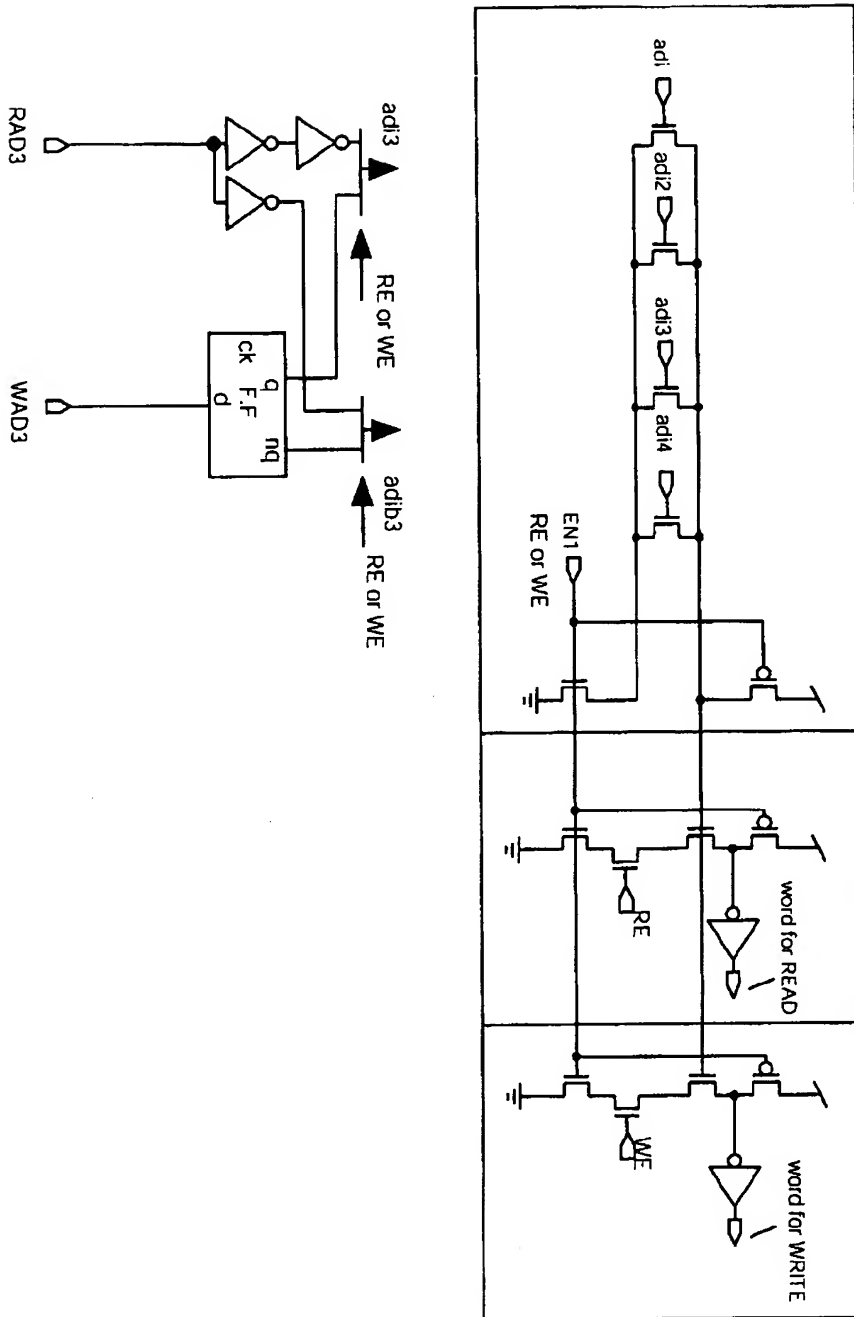
【図9】



【図 10】

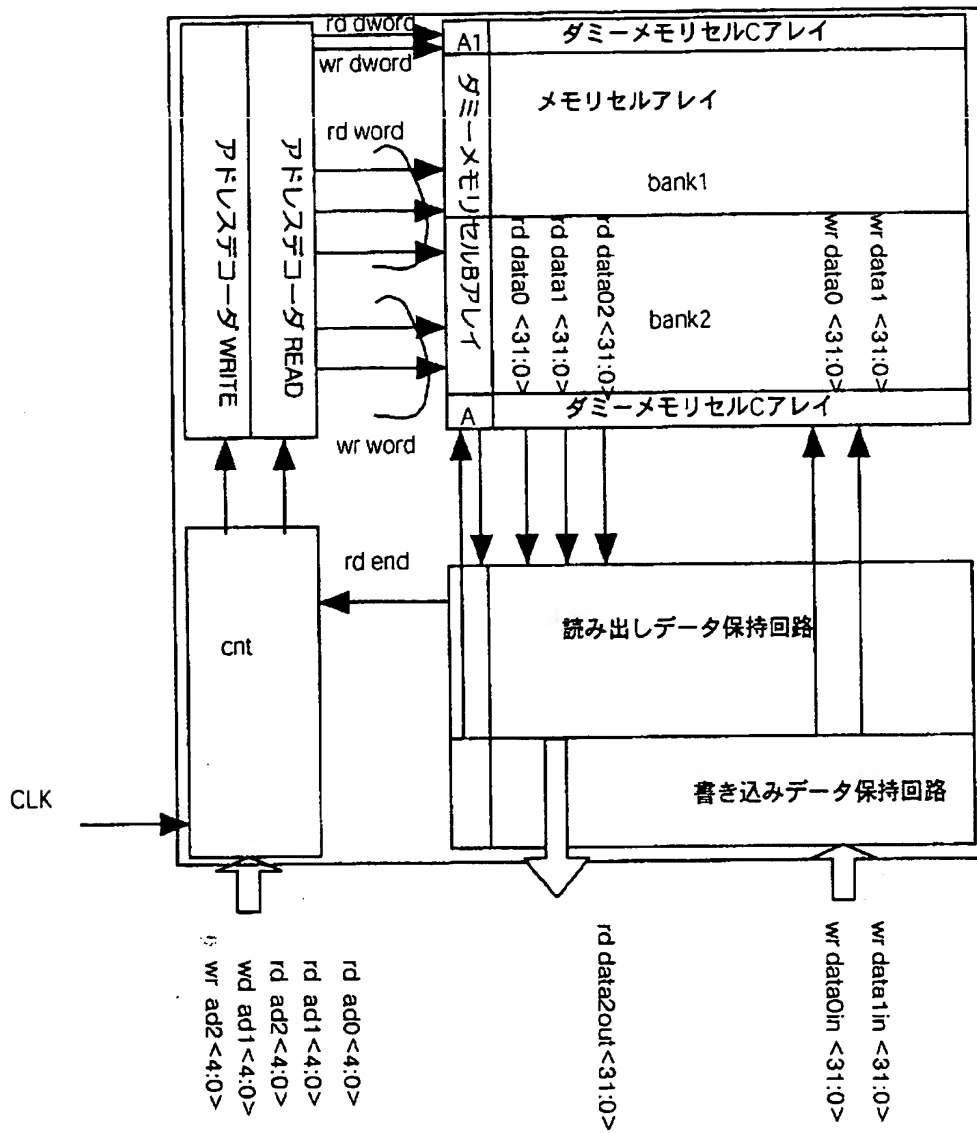


【図 11】

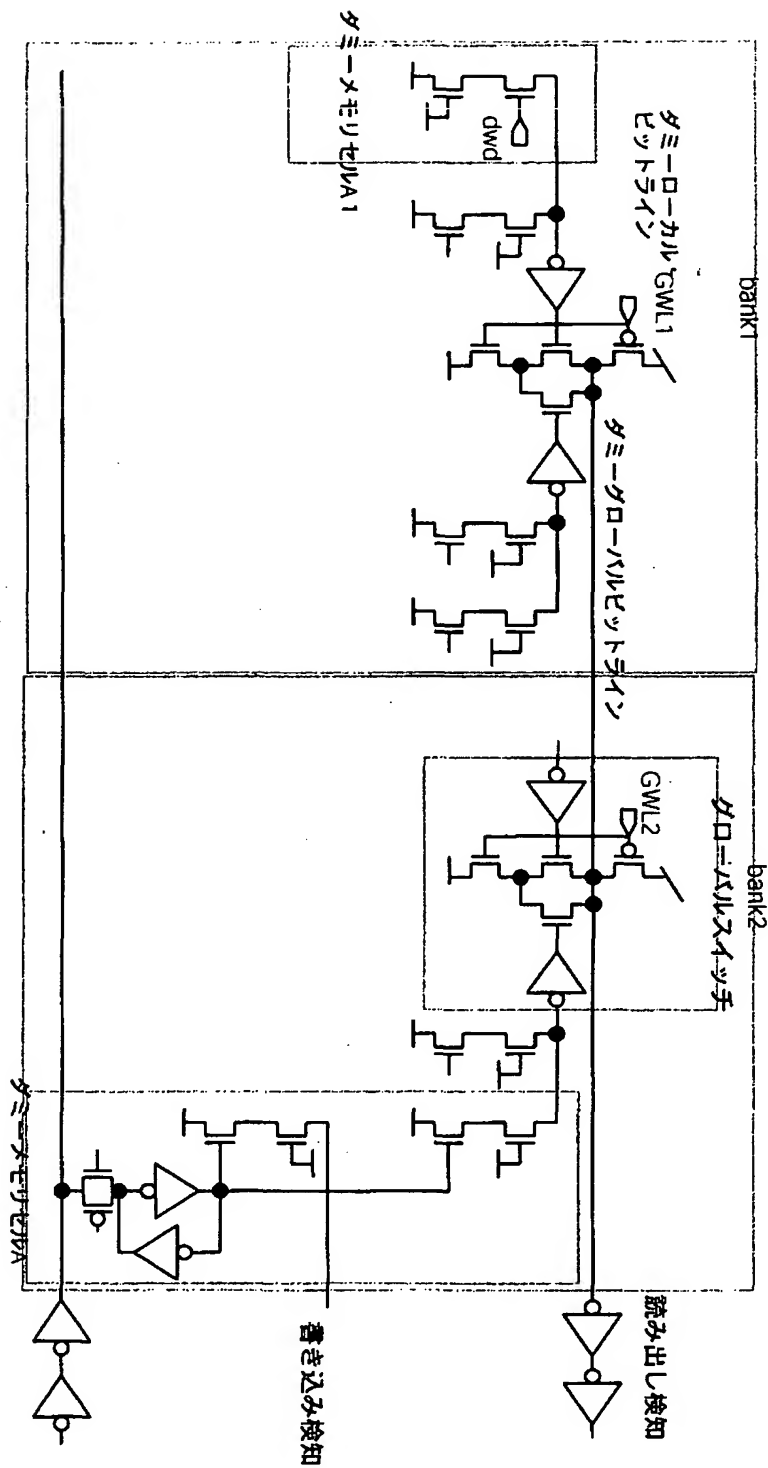




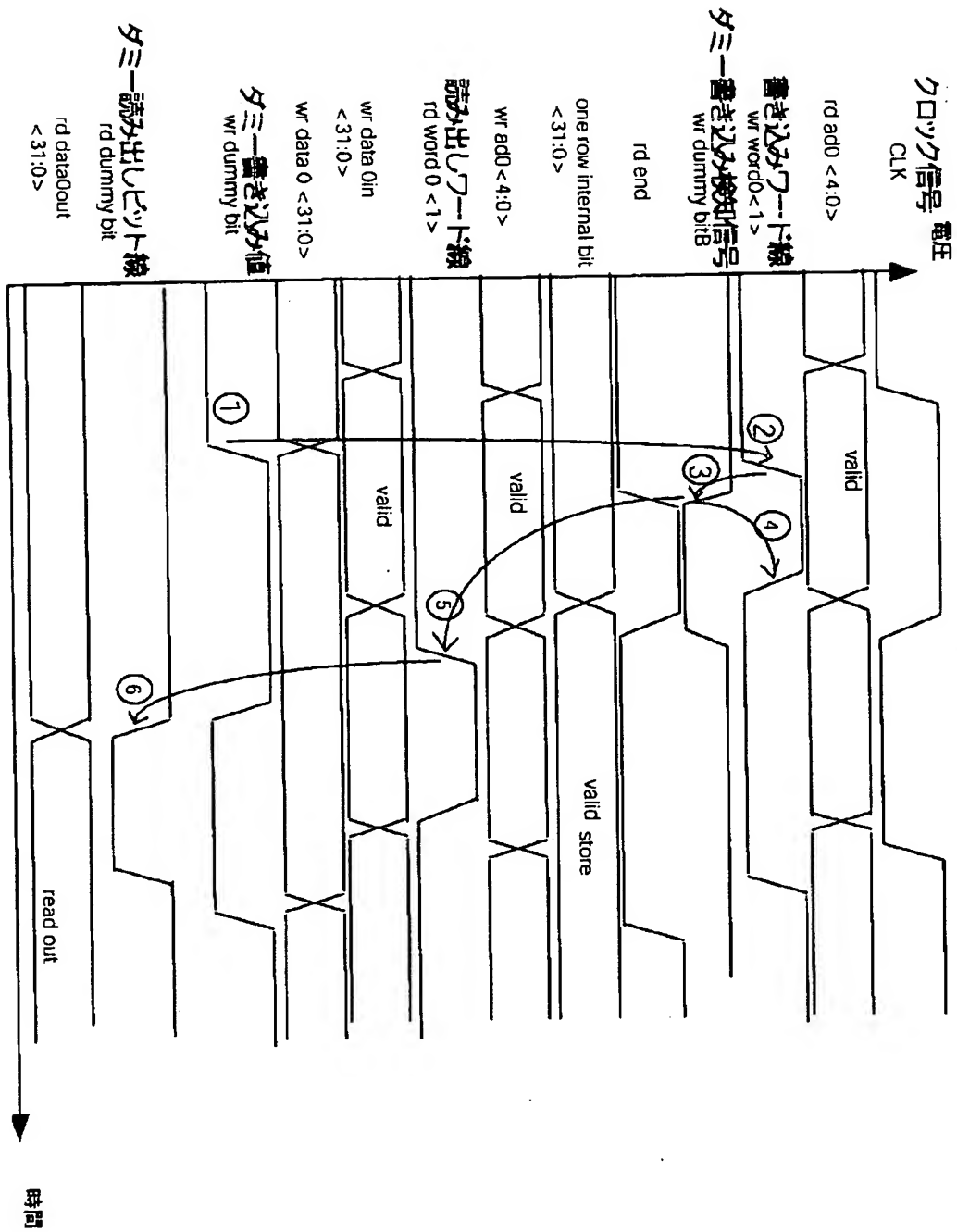
【図 12】



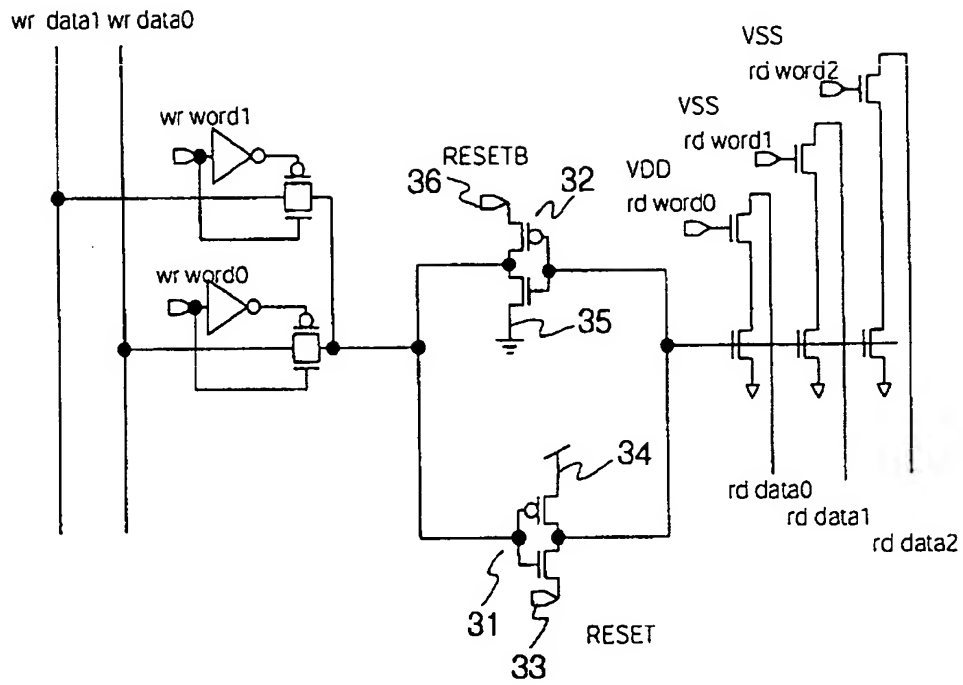
【図13】



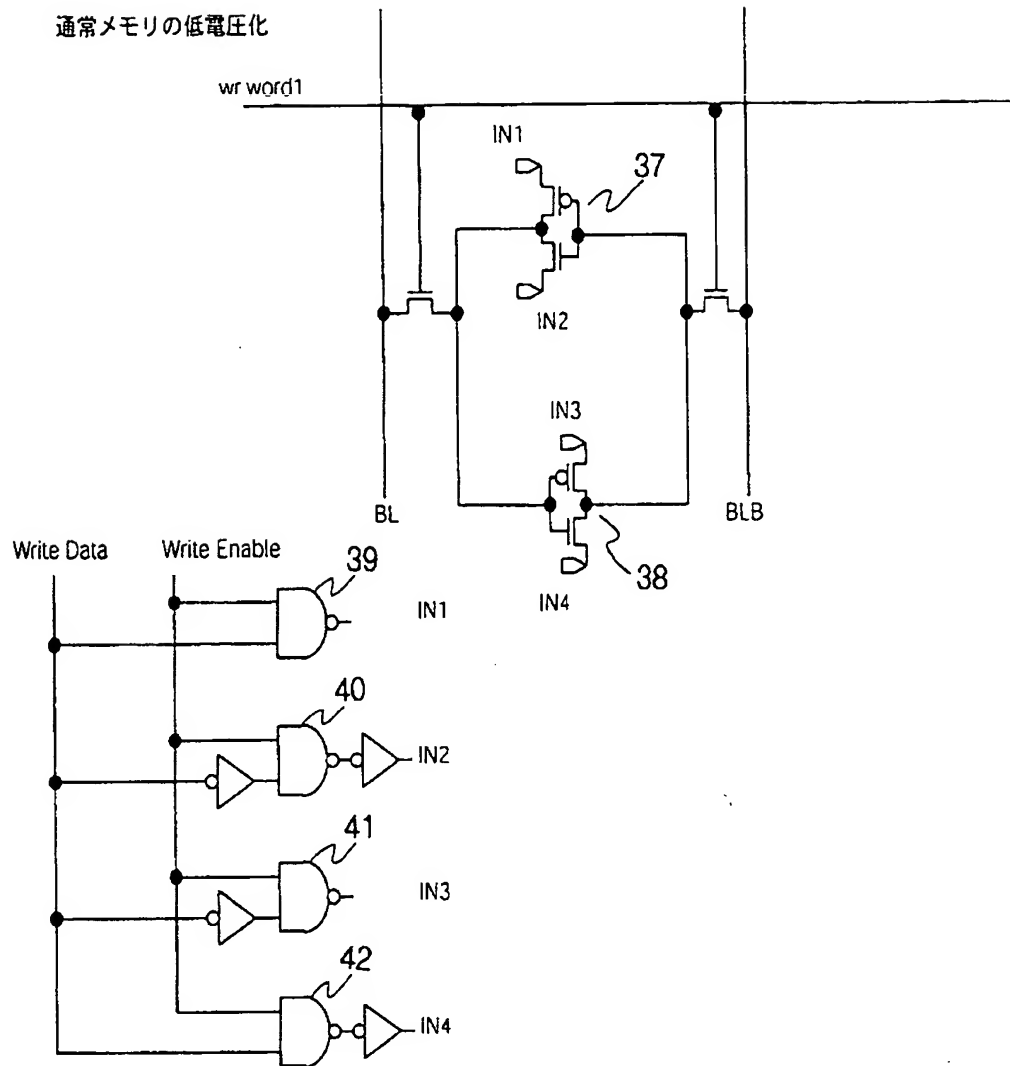
【図 14】



【図 15】

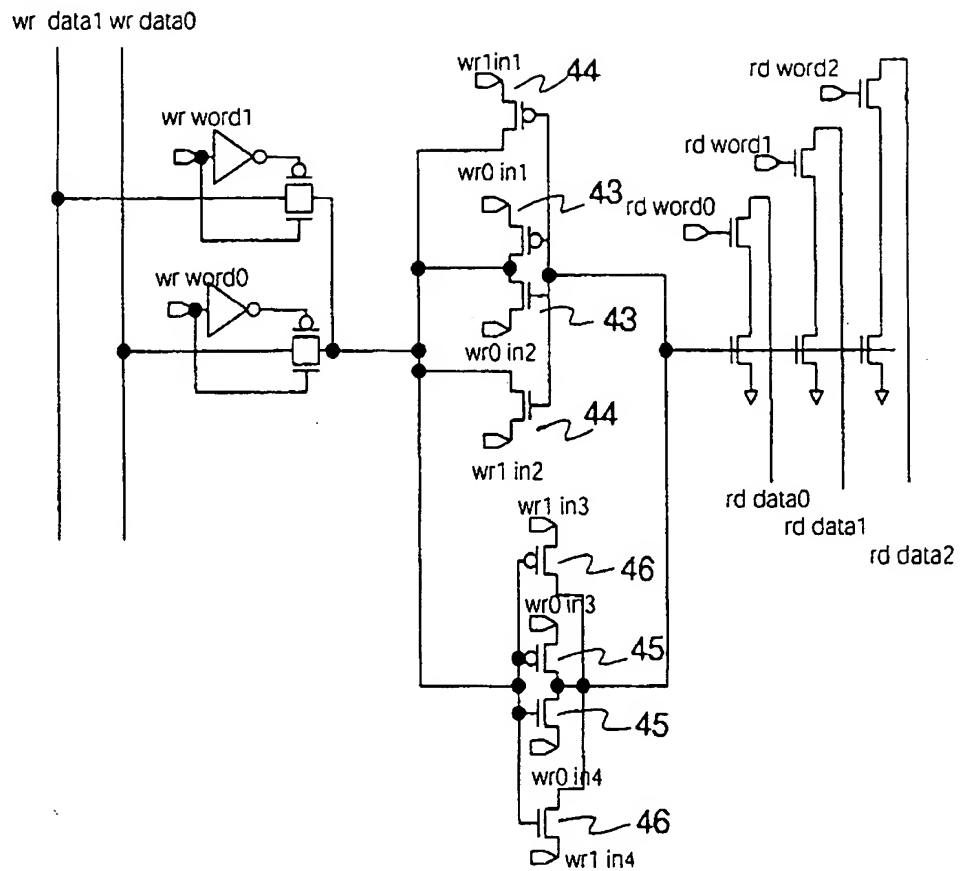


【図 16】

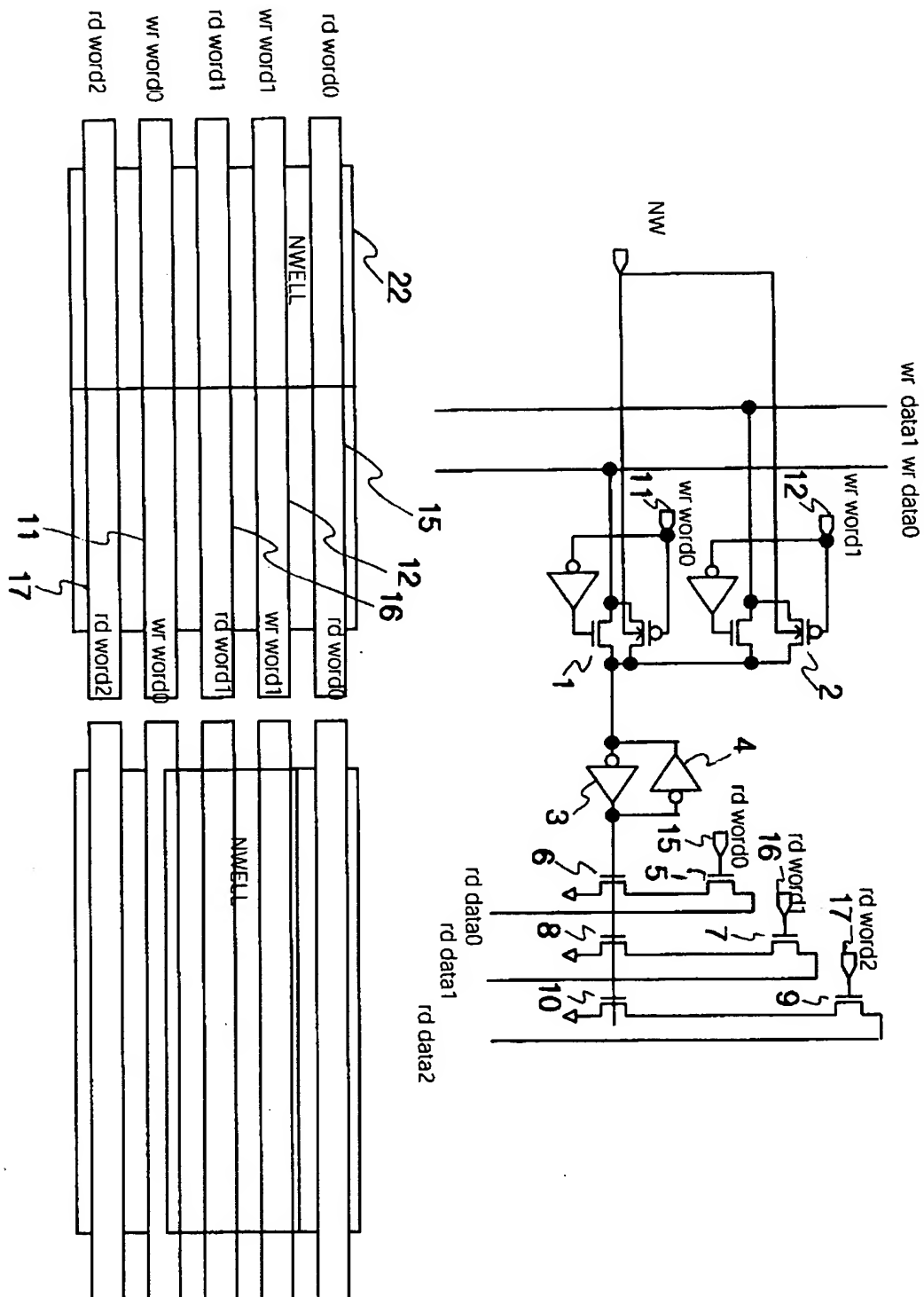


【図 17】

多ポート  
メモリの低電圧化

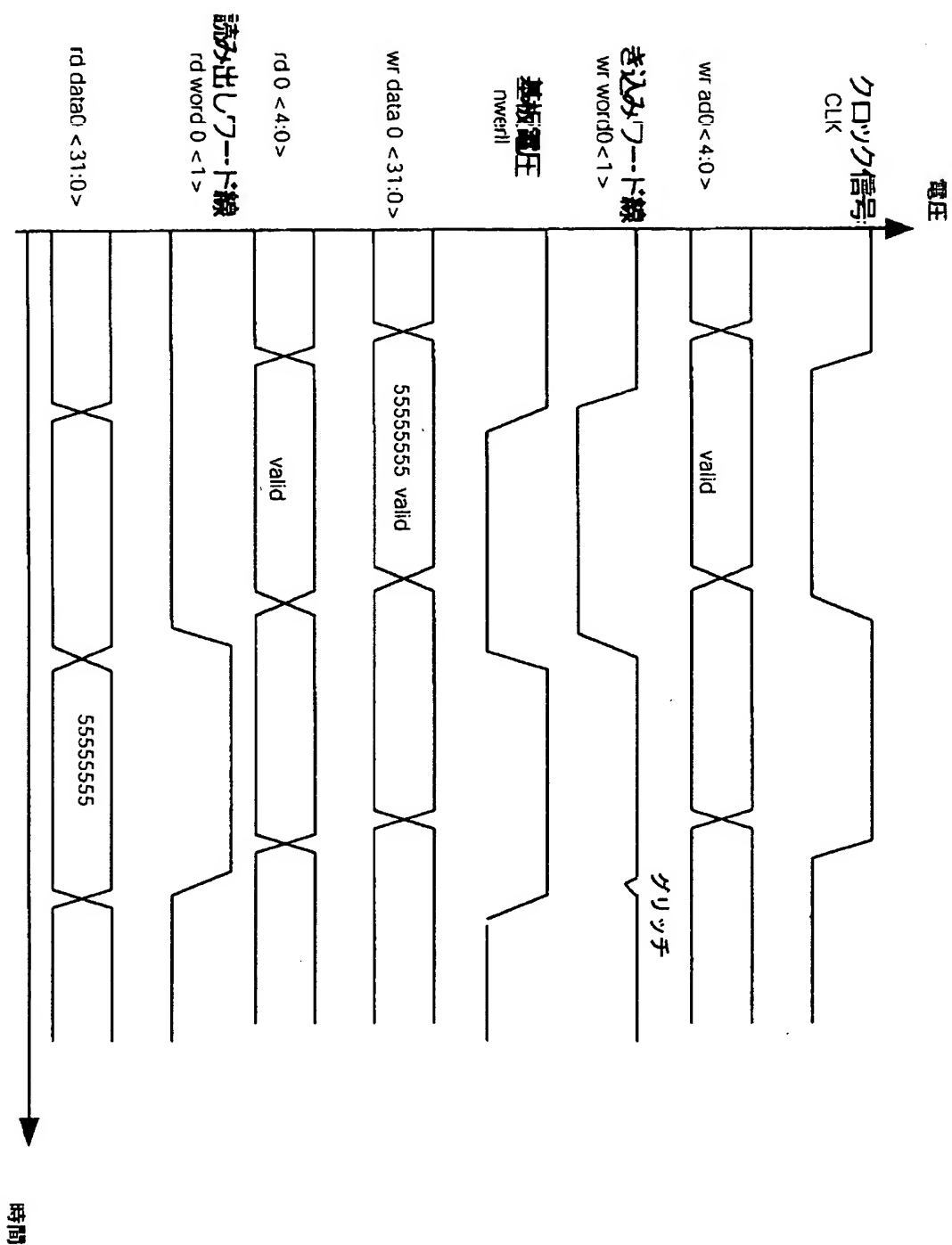


基板制御



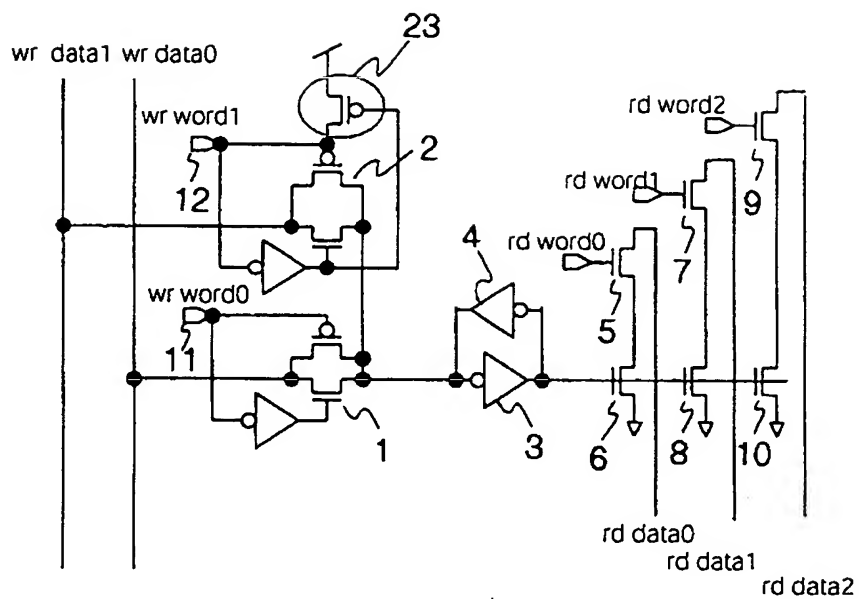
【図 18】

【図 1 9】

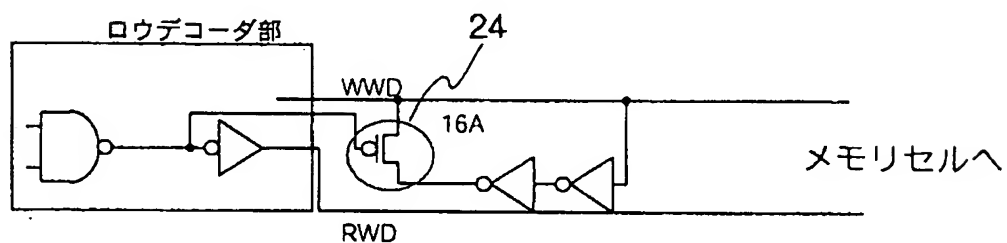




【図 2 0】

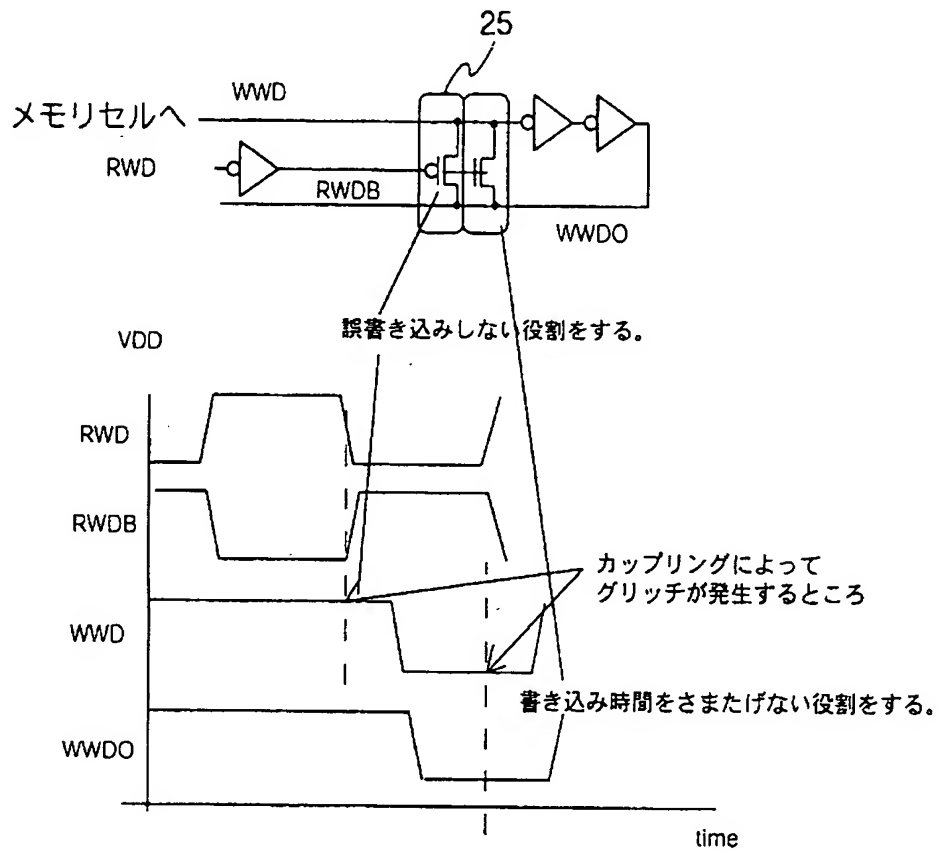


【図 2 1】

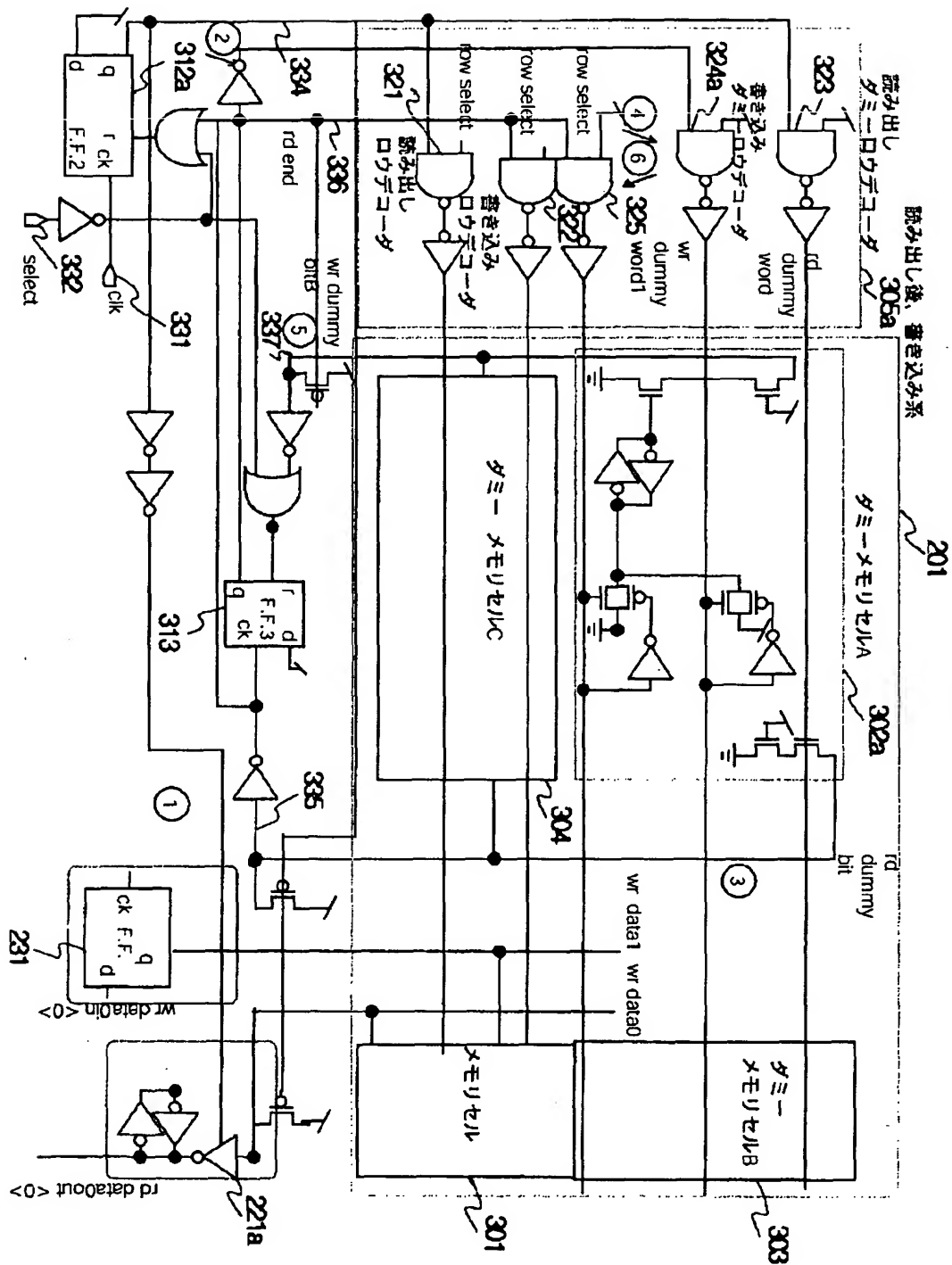


【図 22】

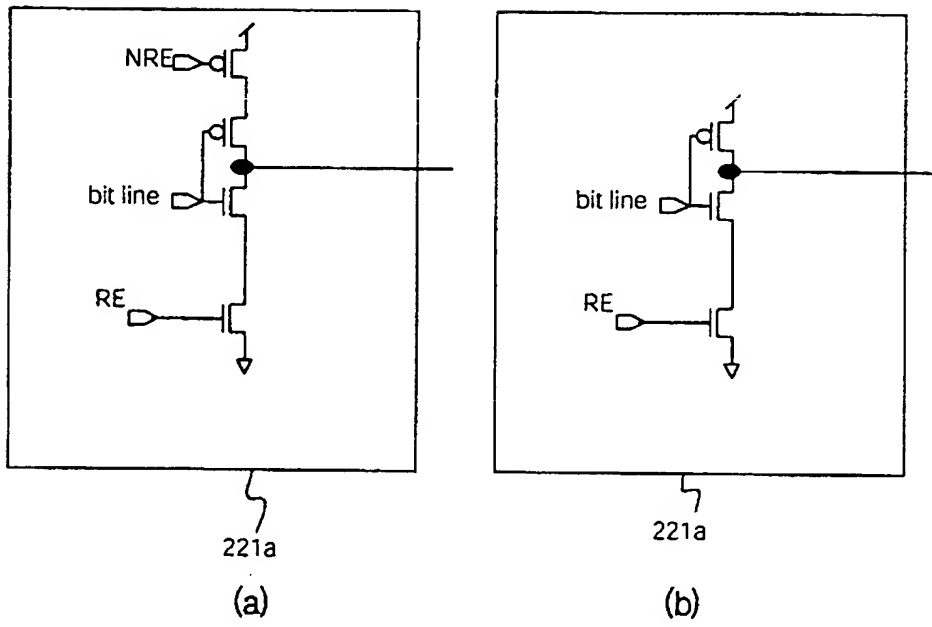
ノイズ除去方法その3



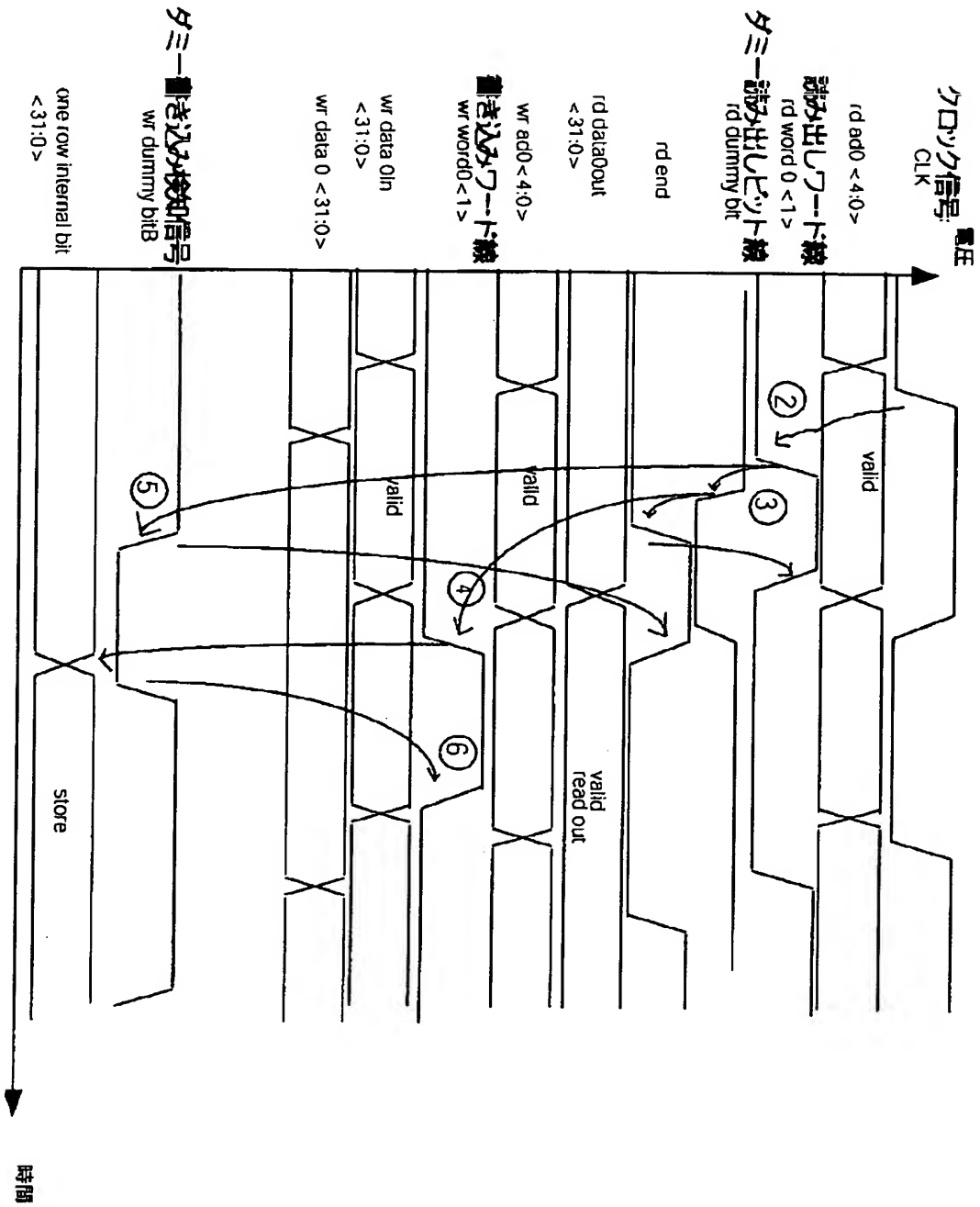
【図 23】



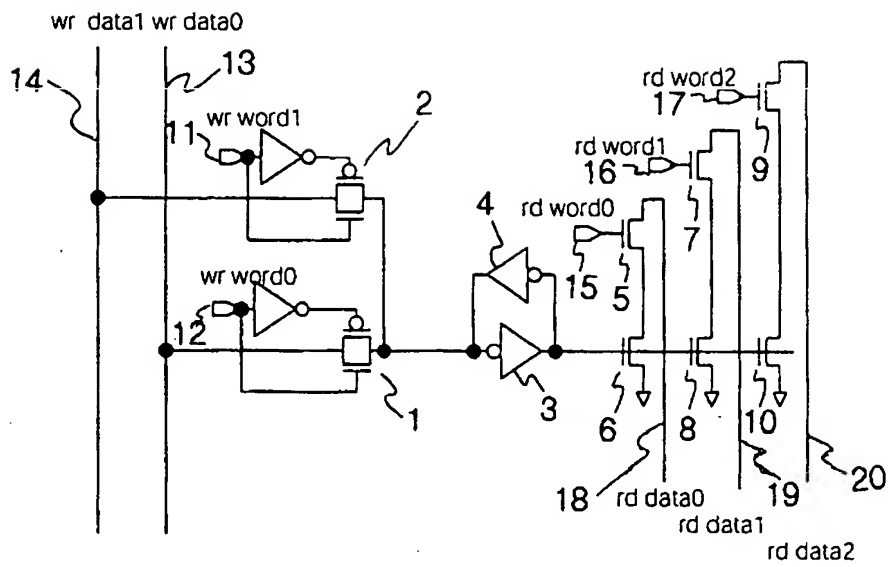
【図 2 4】



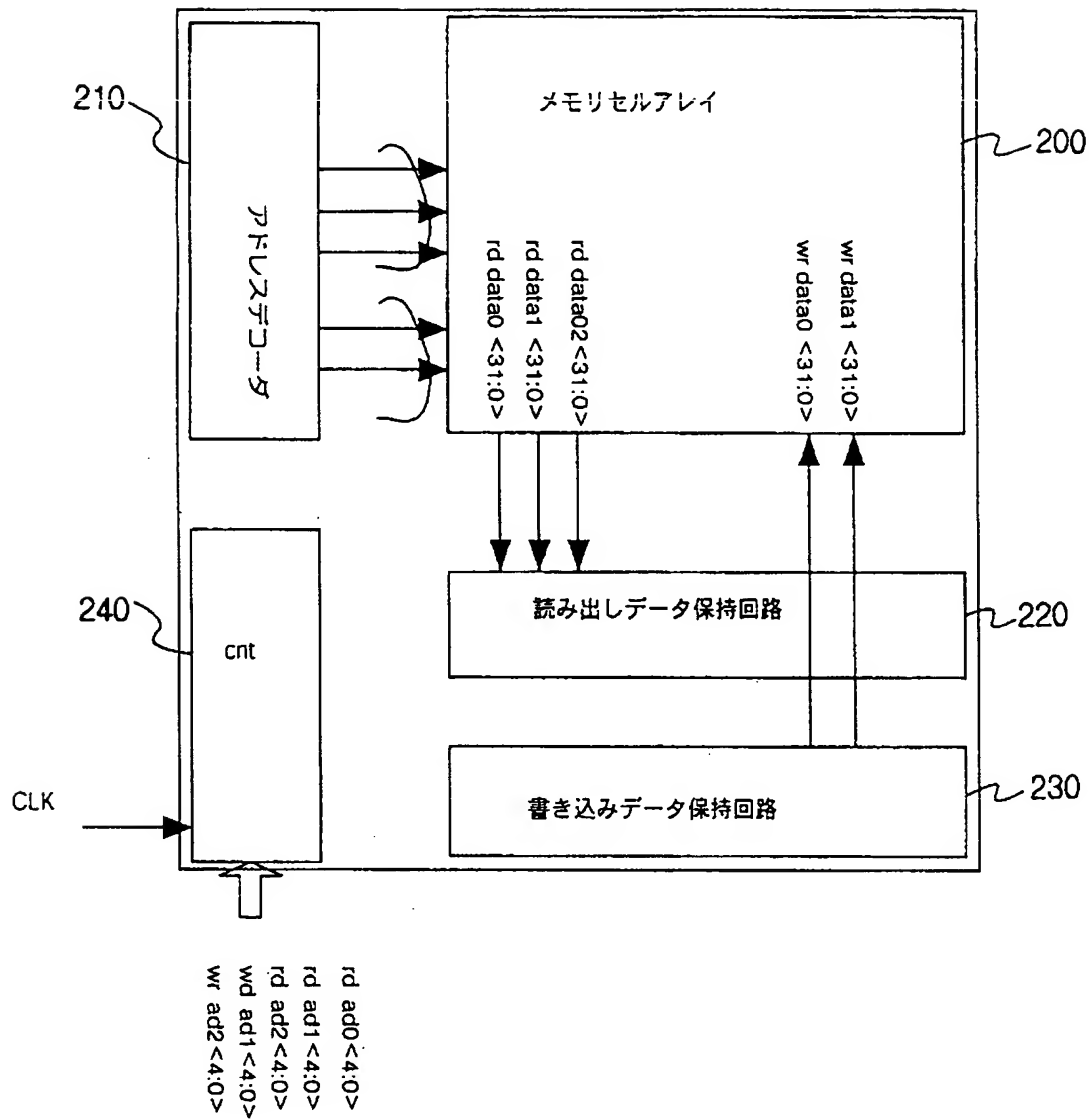
【図 25】



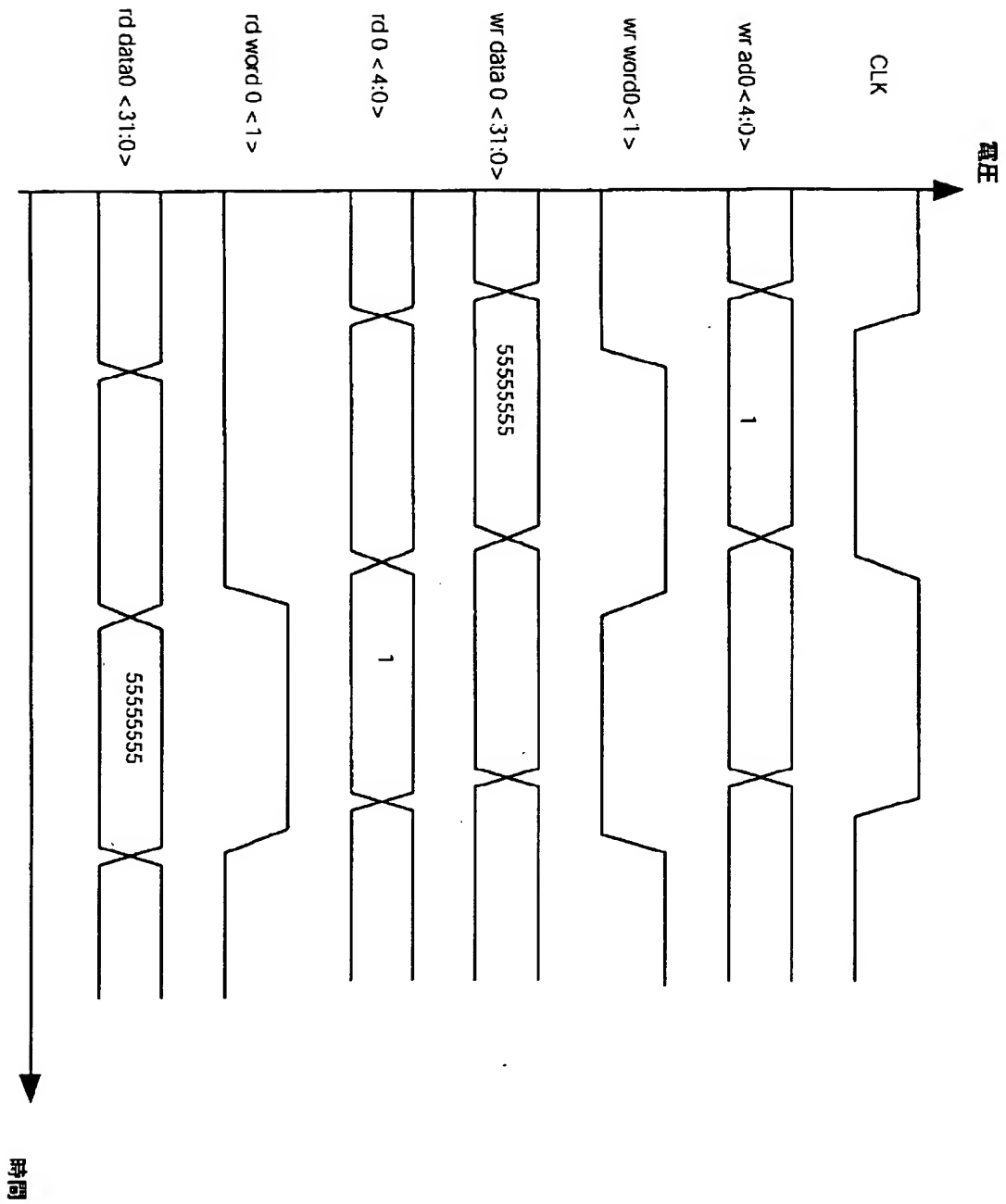
【図 2 6】



【図 27】



【図 2 8】





【書類名】 要約書

【要約】

【課題】 ビット線やワード線のクロスカップリングノイズを低減する。

【解決手段】 メモリセルに読み出し制御信号を伝える 1 つ以上の読み出しワード線 1 5、1 6、1 7 と、読み出しワード線にそれぞれ対応し読み出し制御信号の活性化に応じてメモリセルの情報を外部に伝送する 1 つ以上の読み出しビット線 1 8、1 9、2 0 と、メモリセルに書き込み制御信号を伝える 1 つ以上の書き込みワード線 1 1、1 2 と、書き込みワード線にそれぞれ対応し書き込み制御信号の活性化に応じて外部の情報をメモリセルに伝送する 1 つ以上の書き込みビット線 1 3、1 4 とを備え、読み出しビット線と書き込みビット線とを可能な限り交互に配置し、前記読み出し制御信号と前記書き込み制御信号とを同時に活性化しないように制御する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 {000005821}

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社